

THSB-FMC-02CL User Manual

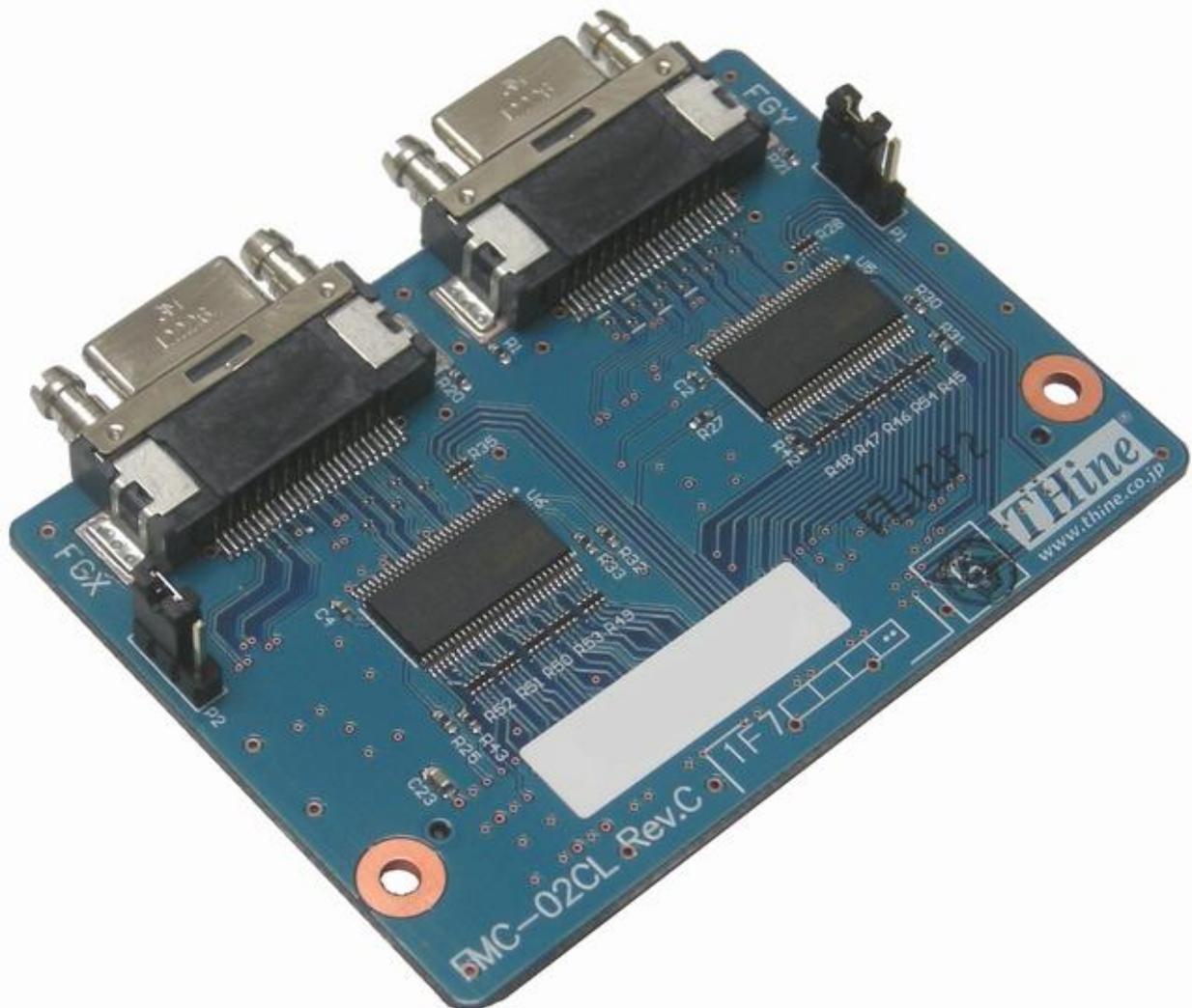
製品概要

THSB-FMC-02CL は FMC/LPC 規格に準拠した、Camera Link 信号受信カードです。26pinSDRコネクタを2個有し、Base/Medium の Camera Link 対応カメラから出力される高解像度・高フレームの映像信号をFPGA等に取り込むことができます。

ChannelLink 部に THC63LVDR84C を採用しており、長距離ケーブル使用時の安定した映像伝送が可能となります。また PoCL 規格に対応し、接続カメラへの 12V 給電が可能です。

特徴

- ・縦 70mm x 横 50mm のコンパクト設計
- ・FMC Vita 57.1 に準拠、FMC/LPC コネクタ搭載
- ・カメラ入力: 26pin SDR コネクタ × 2
- ・Channel Link 部に THC63LVDR84C を採用、長距離ケーブルを使った伝送においても優れた受信性能とスキューマージン耐性を実現
- ・Camera Link Base/Medium 接続に対応
- ・PoCL 対応により、接続カメラへの Camera Link ケーブルからの給電が可能
- ・VADJ 電圧は 3.3V のみ対応



ご使用の前に必ず 4 章、「PoCL における注意」をお読みください

内容

1. はじめに	4
2. 安全上のご注意	4
3. 使用上のご注意	7
4. PoCL における注意	8
5. ブロック図	9
6. 基板外観	10
7. 基板仕様	11
8. 電源構成	12
9. FMC コネクタ ピンアサイン	12
10. FMC コネクタ ピン詳細	15
11. CameraLink カメラの接続について	17
12. ジャンパーについて	19
13. Camera Control / Serial Command 設定	20
14. 26pin SDR Connector ピンアサイン	21

図目次

図 5-1	ブロック図	9
図 6-1	部品面	10
図 6-2	半田面	10
図 8-1	電源構成図	12
図 11-1	BASE カメラ接続時	17
図 11-2	MEDIUM カメラ接続時	17
図 11-3	DUAL BASE カメラ接続時	18
図 12-1	基板ジャンパー位置	19
図 12-2	基板ジャンパー設定	19

表目次

表 9-1	ピンアサイン表における色分け	12
表 9-2	FMC コネクタ C/D 列 ピンアサイン	13
表 9-3	FMC コネクタ G/H 列 ピンアサイン	14
表 10-1	FMC コネクタ ピン詳細	15
表 12-1	基板ジャンパー詳細	20
表 13-1	CAMERA CONTROL / SERIAL COMMAND 設定	20
表 14-1	SDR CONNECTOR X ピンアサイン (BASE/MEDIUM CONFIGURATION)	21
表 14-2	SDR CONNECTOR Y ピンアサイン (MEDIUM CONFIGURATION)	21
表 14-3	SDR CONNECTOR Y ピンアサイン (DUAL BASE CONFIGURATION)	22

1. はじめに

この度は、FMCドータカード THSB-FMC-02CLをお買いあげいただき、誠にありがとうございます。ご使用前に、本ユーザーマニュアルをよくお読みいただき、ご理解の上、正しくお使い下さい。また、お読みになった後はいつでも見られる所に保管してください。

2. 安全上のご注意

お使いになる人や他人への危害、財産への損害を未然に防ぐため、必ずお守りいただくことを、以下に説明します。

- ・ご使用前に、この項目を必ずお読みになり、正しく安全にお使いください。
- ・ここに示した注意事項は安全に関する重大な内容を記載していますので、必ずお守りください。
- ・お読みになった後は、お使いになる方がいつでも見られる所に保管してください。

表示内容を見逃して誤った使い方をしたときに生じる危害や損害の程度を次の表示で区分し、説明しています。

 危険	誤った取り扱いをしたときに、死亡や重症に結びつきます。
 警告	誤った取り扱いをしたときに、死亡や重症に結びつく可能性があります。
 注意	誤った取り扱いをしたときに、障害や家屋・家財などの損害に結びつきます。

お守りいただく内容の種類を次の絵表示で区分し、説明しています。(下記は絵表示の一例です)

	必ず電源を切断してください。
	分解禁止
	絶対に行わないでください。

 警告	
	<p>万が一異常が発生した時は、電源を切断してください！ 異常のまま使用すると、火災や感電の原因となります。すぐに電源を切り、弊社営業担当までご連絡ください。</p>
	<p>煙が出ている、変なにおいがするなど異常なときは、電源を切断してください！ 異常な状態のまま使用すると火災や感電の原因となります。すぐに電源を切った後、煙が出なくなったことを確認してから、弊社営業担当までご連絡ください。</p>
	<p>分解・修理・改造をしないでください。 分解・修理・改造すると、ショートや発熱により、火災や感電の原因となります。点検・調整・修理は弊社営業担当にご依頼ください。</p>
	<p>不安定な場所にはおかないでください。 ぐらついた台の上や傾いた場所などにおくと、落ちたり倒れたりしてけがや故障の原因となります。</p>
	<p>落としたり破損した場合は使わないでください。 火災や感電の原因となります。</p>
	<p>金属製のものが直接触れないようにしてください。 火災や感電の原因となります。</p>
	<p>ほこりや湿気の多い場所、水分のかかる場所に置かないでください。 火災や感電の原因となります。</p>
	<p>本製品を濡らしたり、濡れた手で触らないでください。 本製品が故障したり、発煙・発火・感電の原因となり危険です。</p>
	<p>本製品のコネクタ(金メッキ部分)に触れないでください。 コネクタの表面に汗や皮脂等の汚れが付着し、コネクタの接触不良の原因となります。また、静電気により本製品内部の故障、火災や感電の原因となります。</p>

 注意	
	<p>次のような場所での使用、保管はしないでください。</p> <ul style="list-style-type: none">・湿気やほこりの多い場所・押し入れや本棚など、風通しの悪い所・油煙や湯気が当たる場所・閉め切った自動車など、高温になるところ・静電気の影響が強いところ・水や薬品の触れるところ <p>このような場所に置くと、発熱やショートなどにより、感電や火災、事故、変形の原因となることがあります。</p>
	<p>重いものを置かないでください。 本製品が破損することがあります。</p>

3. 使用上のご注意

- ・本製品は評価用 FPGA ボードとの接続を目的とした評価用基板となります。目的外のご使用により生じた損害に関して当社は一切責任を負いません。

- ・目的通りの使用であっても、下記原因により生じた損害に関して、当社は一切責任を負いません。
 - ① 地震、雷、風水害および当社責任以外の火災、第三者による行為、その他事故、お客様の故意または過失あるいは誤用、その他異常な条件下での使用。
 - ② 本製品の使用、または使用不能から生ずる二次的影響。(事業の中断等)
 - ③ ユーザーマニュアルの記載内容を守らない使用
 - ④ 当社が関与しない接続機器との組み合わせによる誤動作

- ・次のような場合には保証の責任を負いかねますので予めご了承ください。
 - ① 本製品の使用によって生じたデータの損失や破損
 - ② 本製品の使用によって生じたいかなる結果やその異常
 - ③ 弊社の責任によらない製品の破損または改造による故障

- ・本製品は研究・実験・評価を目的として開発した製品です。従って、信頼性を求める用途でのご使用は固くお断りいたします。

- ・本製品の修理は、故障個所の部分修理ではなく、基板単位の有償交換となります。

- ・初期不良に関しては、無償で交換します。ただし、製品納入後 2 週間以内にご連絡・ご確認を頂いた場合に限りです。

- ・基板の仕様に関しては予告なく変更することがあります。また予告なく製造中止とすることがあります。

4. PoCL における注意

FPGA ボードの電源を入れる前に必ず以下のことをご確認ください。確認せずに FPGA ボードの電源を入れた場合、**CameraLink 対応カメラモジュール、ドータカードもしくは FPGA ボードが破損する可能性があります。**

 注意	
	<p>CameraLink カメラモジュールが PoCL 対応/非対応なのかを必ず確認する 本ドータカードは PoCL 規格に対応しており、接続しているカメラモジュールに対して 12V 給電が可能です。もし PoCL 非対応のカメラモジュールに対して 12V 給電を行った場合、CameraLink 対応カメラモジュール、ドータカードもしくは FPGA ボードが破損する可能性があります。</p>
	<p>ジャンパーを必ず 12V 接続もしくは GND 接続に設定する (ジャンパー未設定のまま FPGA ボードの電源を入れない) PoCL 非対応のカメラモジュールに対しては必ずジャンパーを GND 接続してください。PoCL 非対応のカメラモジュールに対して 12V 給電を行った場合、CameraLink 対応カメラモジュール、ドータカードもしくは FPGA ボードが破損する可能性があります。</p>

5. ブロック図

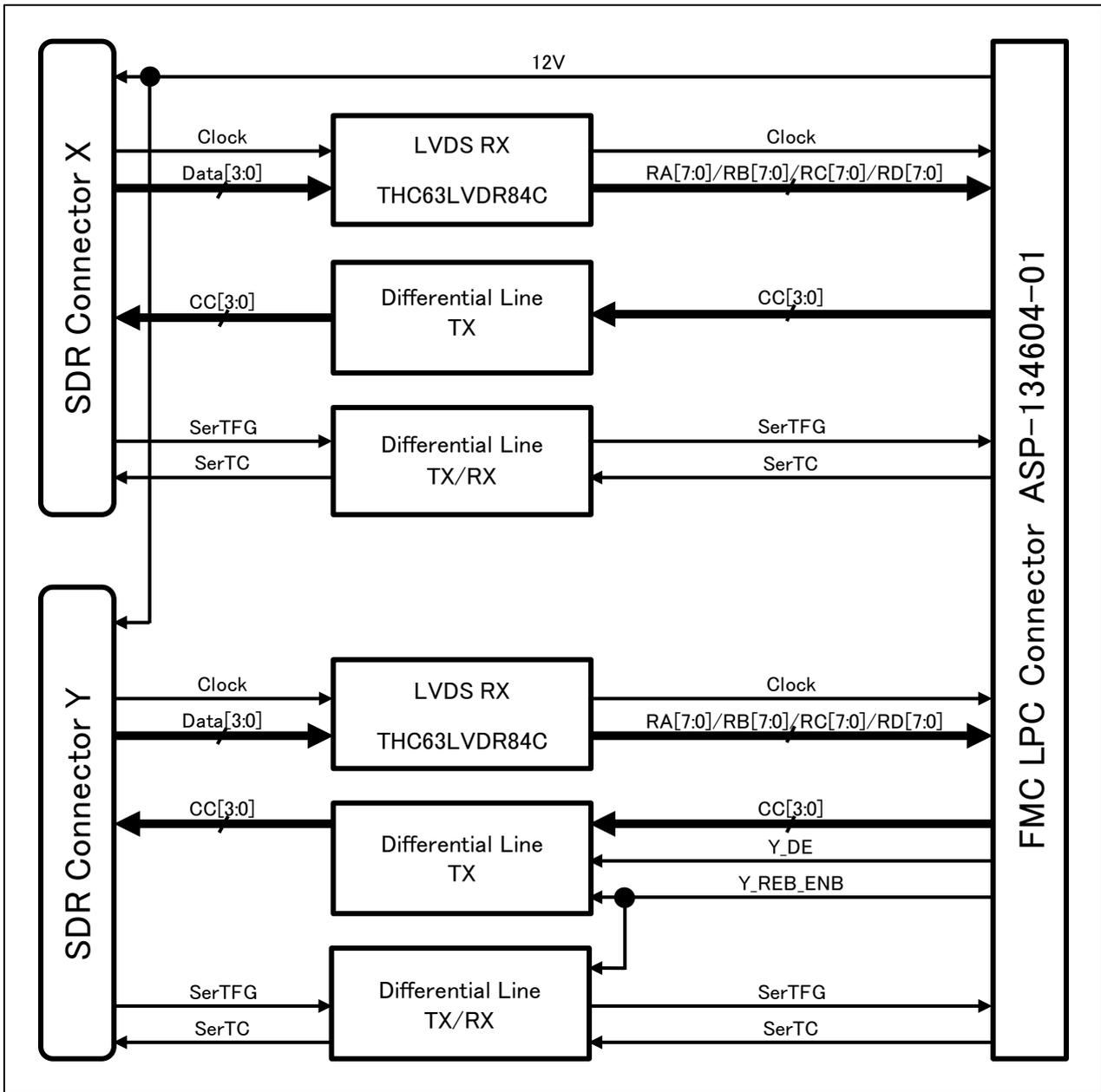


図 5-1 ブロック図

6. 基板外観

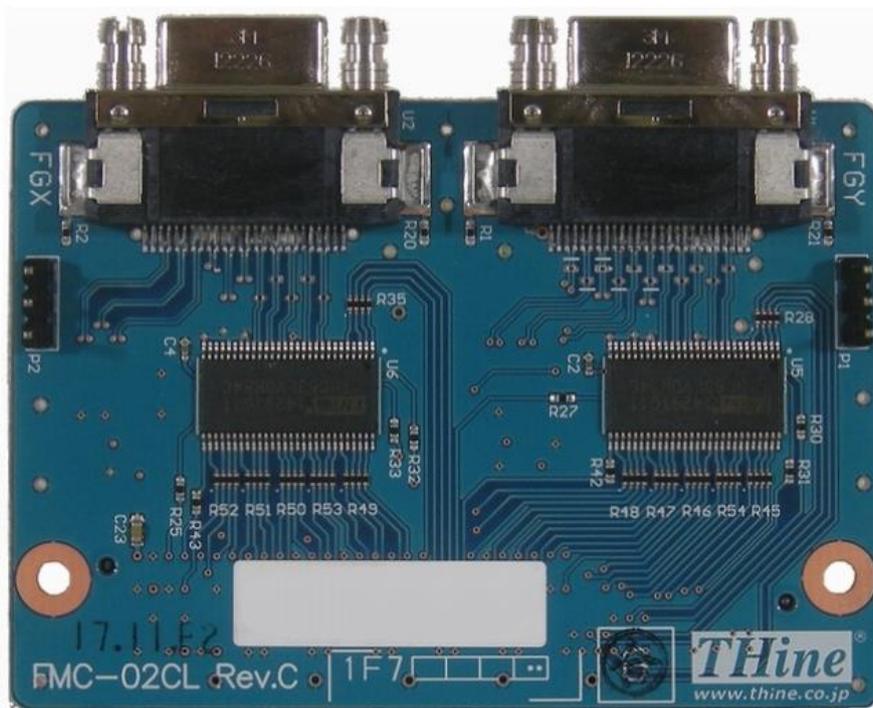


图 6-1 部品面

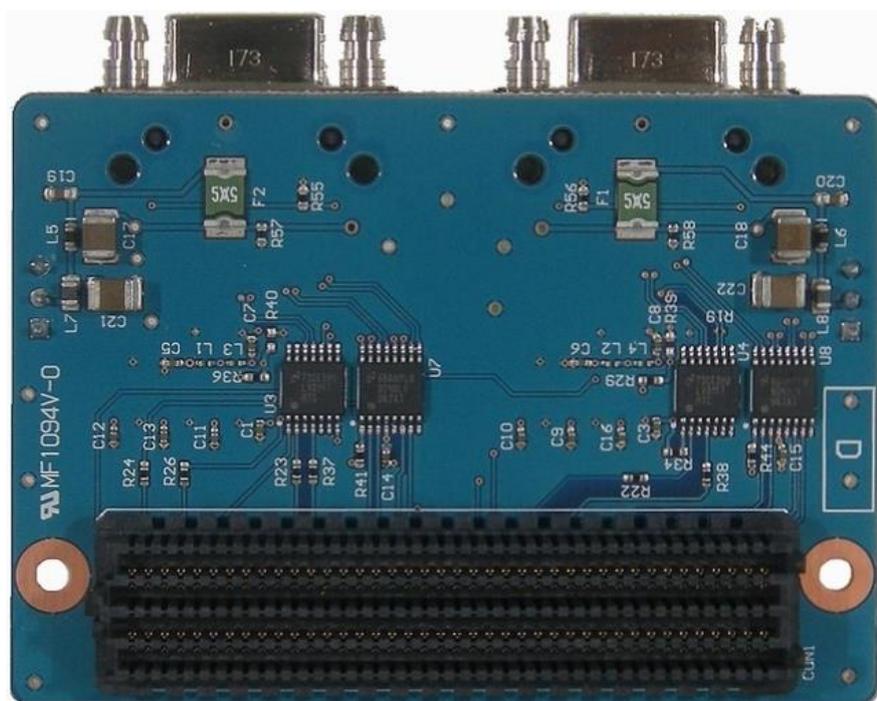
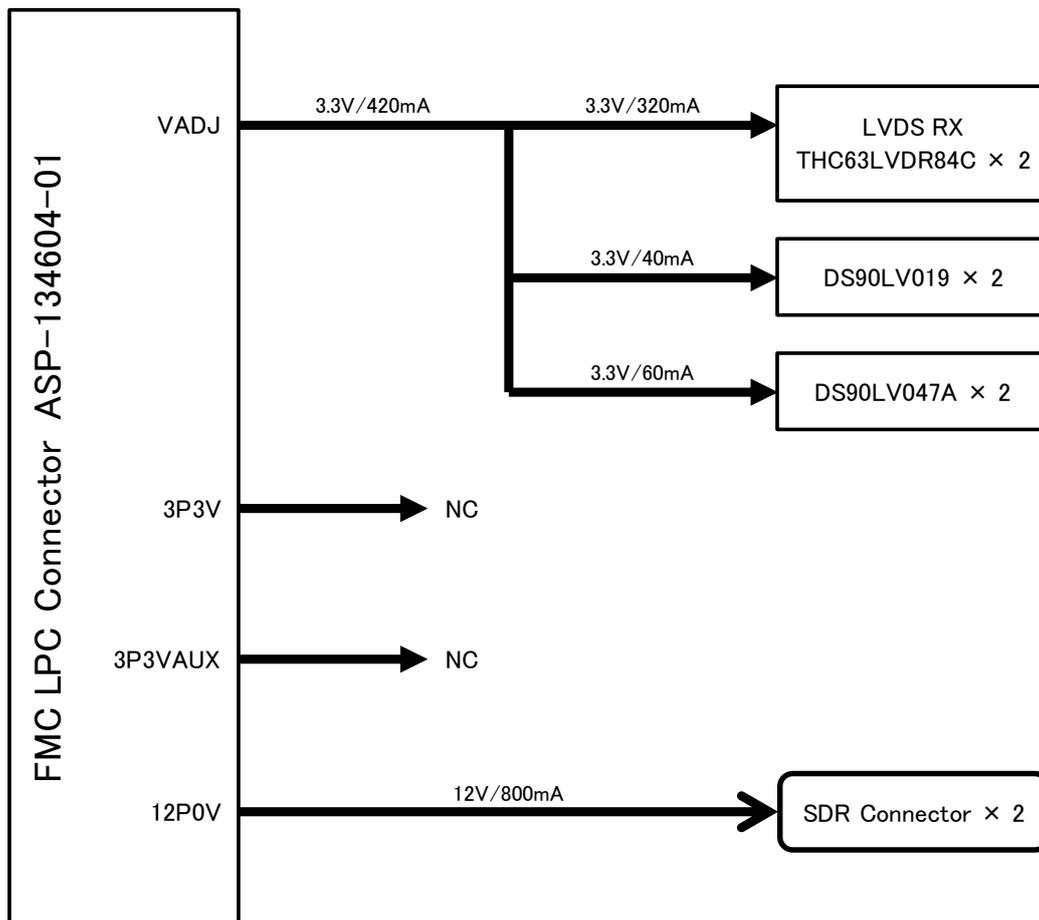


图 6-2 半田面

7. 基板仕様

外形寸法	:W:70mm × H:50mm
層構成	:4層
板厚	:1.6mm
材質	:FR-4
FMC コネクタ	:Samtec 製 ASP-134604-01
SDR コネクタ	:3M 製 12226-8250-00FR
ChannelLink→LVCMOS/LVTTL 変換 IC	:THine Electronics 製 THC63LVDR84C
CameraLink Serial Command 信号変換 IC	:Texas Instruments 製 DS90LV019
CameraLink Control 信号変換 IC	:Texas Instruments 製 DS90LV047A

8. 電源構成



VADJ 電源は 3.3V に設定してください

図 8-1 電源構成図

9. CFMC コネクタ ピンアサイン

ピンアサイン表における色は、2 系統ある信号 (X、Y) を示しています

表 9-1 ピンアサイン表における色分け

色	詳細
	X 系統 (SDR Connector X に接続している各 IC と FMC コネクタ間の信号)
	Y 系統 (SDR Connector Y に接続している各 IC の FMC コネクタ間の信号)

表 9-2 FMCコネクタ C/D 列 ピンアサイン

THSB-FMC-02CL Signal Name	C 列		D 列	THSB-FMC-02CL Signal Name
GND	GND	1	PG_C2M	GND
NC	DP0_C2M_P	2	GND	GND
NC	DP0_C2M_N	3	GND	GND
GND	GND	4	GBTCLK0_M2C_P	NC
GND	GND	5	GBTCLK0_M2C_N	NC
NC	DP0_M2C_P	6	GND	GND
NC	DP0_M2C_N	7	GND	GND
GND	GND	8	LA01_P_CC	CL-Y-RC6
GND	GND	9	LA01_N_CC	CL-Y-RD0
CL-Y-RC4	LA06_P	10	GND	GND
CL-Y-RC5	LA06_N	11	LA05_P	CL-Y-RC3
GND	GND	12	LA05_N	CL-Y-RD6
GND	GND	13	GND	GND
SerTFG-Y-Rout	LA10_P	14	LA09_P	SerTC-Y-Din
CC-Y-Din2	LA10_N	15	LA09_N	CC-Y-Din1
GND	GND	16	GND	GND
GND	GND	17	LA13_P	CC-Y-Din3
CC-Y-Din4	LA14_P	18	LA13_N	CL-Y-RA1
CL-Y-RA0	LA14_N	19	GND	GND
GND	GND	20	LA17_P_CC	CL-X-RC5
GND	GND	21	LA17_N_CC	CL-X-RC4
CL-X-RC6	LA18_P_CC	22	GND	GND
SerTC-X-Din	LA18_N_CC	23	LA23_P	CL-X-RD0
GND	GND	24	LA23_N	SerTFG-X-Rout
GND	GND	25	GND	GND
CC-X-Din2	LA27_P	26	LA26_P	CC-X-Din1
CC-X-Din4	LA27_N	27	LA26_N	CC-X-Din3
GND	GND	28	GND	GND
GND	GND	29	TCK	NC
NC	SCL	30	TDI	NC
NC	SDA	31	TDO	NC
GND	GND	32	3P3VAUX	NC
GND	GND	33	TMS	NC
NC	GA0	34	TRST_L	NC
12P0V	12P0V	35	GA1	NC
GND	GND	36	3P3V	NC
12P0V	12P0V	37	GND	GND
GND	GND	38	3P3V	NC
NC	3P3V	39	GND	GND
GND	GND	40	3P3V	NC

表 9-3 FMCコネクタ G/H 列 ピンアサイン

THSB-FMC-02CL Signal Name	G 列		H 列	THSB-FMC-02CL Signal Name
GND	GND	1	VREF_A_M2C	NC
CL-X-CLK	CLK1_M2C_P	2	PRSNT_M2C_L	NC
Y-REB-ENB	CLK1_M2C_N	3	GND	GND
GND	GND	4	CLK0_M2C_P	CL-Y-CLK
GND	GND	5	CLK0_M2C_N	Y-DE
CL-Y-RC2	LA00_P_CC	6	GND	GND
CL-Y-RC0	LA00_N_CC	7	LA02_P	CL-Y-RC1
GND	GND	8	LA02_N	CL-Y-RB6
CL-Y-RD5	LA03_P	9	GND	GND
CL-Y-RB5	LA03_N	10	LA04_P	CL-Y-RD4
GND	GND	11	LA04_N	CL-Y-RB3
CL-Y-RB4	LA08_P	12	GND	GND
CL-Y-RB2	LA08_N	13	LA07_P	CL-Y-RD3
GND	GND	14	LA07_N	CL-Y-RD2
CL-Y-RB1	LA12_P	15	GND	GND
CL-Y-RB0	LA12_N	16	LA11_P	CL-Y-RA6
GND	GND	17	LA11_N	CL-Y-RA5
CL-Y-RD1	LA16_P	18	GND	GND
CL-Y-RA3	LA16_N	19	LA15_P	CL-Y-RA4
GND	GND	20	LA15_N	CL-Y-RA2
CL-X-RD6	LA20_P	21	GND	GND
CL-X-RC1	LA20_N	22	LA19_P	CL-X-RC3
GND	GND	23	LA19_N	CL-X-RC2
CL-X-RC0	LA22_P	24	GND	GND
CL-X-RD5	LA22_N	25	LA21_P	CL-X-RB6
GND	GND	26	LA21_N	CL-X-RD4
CL-X-RB5	LA25_P	27	GND	GND
CL-X-RB3	LA25_N	28	LA24_P	CL-X-RB4
GND	GND	29	LA24_N	CL-X-RB2
CL-X-RD3	LA29_P	30	GND	GND
CL-X-RB1	LA29_N	31	LA28_P	CL-X-RD2
GND	GND	32	LA28_N	CL-X-RB0
CL-X-RA6	LA31_P	33	GND	GND
CL-X-RA5	LA31_N	34	LA30_P	CL-X-RD1
GND	GND	35	LA30_N	CL-X-RA4
CL-X-RA3	LA33_P	36	GND	GND
CL-X-RA2	LA33_N	37	LA32_P	CL-X-RA1
GND	GND	38	LA32_N	CL-X-RA0
VADJ	VADJ	39	GND	GND
GND	GND	40	VADJ	VADJ

10. FMC コネクタ ピン詳細

表 10-1 FMC コネクタ ピン詳細

Signal Name	FMC Pin Name	Pin Direction	Description
CL-X-CLK	CLK1_M2C_P	Output	X 系統 LVDS pixel clock
CL-X-RA0	LA32_N	Output	X 系統 pixel data bit 0
CL-X-RA1	LA32_P	Output	X 系統 pixel data bit 1
CL-X-RA2	LA33_N	Output	X 系統 pixel data bit 2
CL-X-RA3	LA33_P	Output	X 系統 pixel data bit 3
CL-X-RA4	LA30_N	Output	X 系統 pixel data bit 4
CL-X-RA5	LA31_N	Output	X 系統 pixel data bit 5
CL-X-RA6	LA31_P	Output	X 系統 pixel data bit 6
CL-X-RB0	LA28_N	Output	X 系統 pixel data bit 7
CL-X-RB1	LA29_N	Output	X 系統 pixel data bit 8
CL-X-RB2	LA24_N	Output	X 系統 pixel data bit 9
CL-X-RB3	LA25_N	Output	X 系統 pixel data bit 10
CL-X-RB4	LA24_P	Output	X 系統 pixel data bit 11
CL-X-RB5	LA25_P	Output	X 系統 pixel data bit 12
CL-X-RB6	LA21_P	Output	X 系統 pixel data bit 13
CL-X-RC0	LA22_P	Output	X 系統 pixel data bit 14
CL-X-RC1	LA20_N	Output	X 系統 pixel data bit 15
CL-X-RC2	LA19_N	Output	X 系統 pixel data bit 16
CL-X-RC3	LA19_P	Output	X 系統 pixel data bit 17
CL-X-RC4	LA17_N_CC	Output	X 系統 pixel data bit 18
CL-X-RC5	LA17_P_CC	Output	X 系統 pixel data bit 19
CL-X-RC6	LA18_P_CC	Output	X 系統 pixel data bit 20
CL-X-RD0	LA23_P	Output	X 系統 pixel data bit 21
CL-X-RD1	LA30_P	Output	X 系統 pixel data bit 22
CL-X-RD2	LA28_P	Output	X 系統 pixel data bit 23
CL-X-RD3	LA29_P	Output	X 系統 pixel data bit 24
CL-X-RD4	LA21_N	Output	X 系統 pixel data bit 25
CL-X-RD5	LA22_N	Output	X 系統 pixel data bit 26
CL-X-RD6	LA20_P	Output	X 系統 pixel data bit 27
CC-X-Din1	LA26_P	Input	X 系統 Camera Control 1
CC-X-Din2	LA27_P	Input	X 系統 Camera Control 2
CC-X-Din3	LA26_N	Input	X 系統 Camera Control 3
CC-X-Din4	LA27_N	Input	X 系統 Camera Control 4
SerTC-X-Din	LA18_N_CC	Input	X 系統 SERTC Serial Command to Camera
SerTFG-X-Rout	LA23_N	Output	X 系統 SERTFG serial Command from Camera

CL-Y-CLK	CLK0_M2C_P	Output	Y 系統 LVDS pixel clock
CL-Y-RA0	LA14_N	Output	Y 系統 pixel data bit 0
CL-Y-RA1	LA13_N	Output	Y 系統 pixel data bit 1
CL-Y-RA2	LA15_N	Output	Y 系統 pixel data bit 2
CL-Y-RA3	LA16_N	Output	Y 系統 pixel data bit 3
CL-Y-RA4	LA15_P	Output	Y 系統 pixel data bit 4
CL-Y-RA5	LA11_N	Output	Y 系統 pixel data bit 5
CL-Y-RA6	LA11_P	Output	Y 系統 pixel data bit 6
CL-Y-RB0	LA12_N	Output	Y 系統 pixel data bit 7
CL-Y-RB1	LA12_P	Output	Y 系統 pixel data bit 8
CL-Y-RB2	LA08_N	Output	Y 系統 pixel data bit 9
CL-Y-RB3	LA04_N	Output	Y 系統 pixel data bit 10
CL-Y-RB4	LA08_P	Output	Y 系統 pixel data bit 11
CL-Y-RB5	LA03_N	Output	Y 系統 pixel data bit 12
CL-Y-RB6	LA02_N	Output	Y 系統 pixel data bit 13
CL-Y-RC0	LA00_N_CC	Output	Y 系統 pixel data bit 14
CL-Y-RC1	LA02_P	Output	Y 系統 pixel data bit 15
CL-Y-RC2	LA00_P_CC	Output	Y 系統 pixel data bit 16
CL-Y-RC3	LA05_P	Output	Y 系統 pixel data bit 17
CL-Y-RC4	LA06_P	Output	Y 系統 pixel data bit 18
CL-Y-RC5	LA06_N	Output	Y 系統 pixel data bit 19
CL-Y-RC6	LA01_P_CC	Output	Y 系統 pixel data bit 20
CL-Y-RD0	LA01_N_CC	Output	Y 系統 pixel data bit 21
CL-Y-RD1	LA16_P	Output	Y 系統 pixel data bit 22
CL-Y-RD2	LA07_N	Output	Y 系統 pixel data bit 23
CL-Y-RD3	LA07_P	Output	Y 系統 pixel data bit 24
CL-Y-RD4	LA04_P	Output	Y 系統 pixel data bit 25
CL-Y-RD5	LA03_P	Output	Y 系統 pixel data bit 26
CL-Y-RD6	LA05_N	Output	Y 系統 pixel data bit 27
CC-Y-Din1	LA09_N	Input	Y 系統 Camera Control 1
CC-Y-Din2	LA10_N	Input	Y 系統 Camera Control 2
CC-Y-Din3	LA13_P	Input	Y 系統 Camera Control 3
CC-Y-Din4	LA14_P	Input	Y 系統 Camera Control 4
SerTC-Y-Din	LA09_P	Input	Y 系統 SERTC Serial Command to Camera
SerTFG-Y-Rout	LA10_P	Output	Y 系統 SERTFG serial Command from Camera
Y-DE	CLK0_M2C_N	Output	Y 系統 Camera Control 信号変換 IC 制御 (*)
Y-REB-ENB	CLK1_M2C_N	Output	Y 系統 Serial Command 信号変換 IC 制御 (*)

(*) Y-DE、Y-REB-ENB については 13 章をご参照ください。

11. CameraLink カメラの接続について

本データカードは CameraLink Base/Medium Configuration カメラに対応しています。Base カメラについては 2 つ接続することが可能です (Dual Base カメラ)。

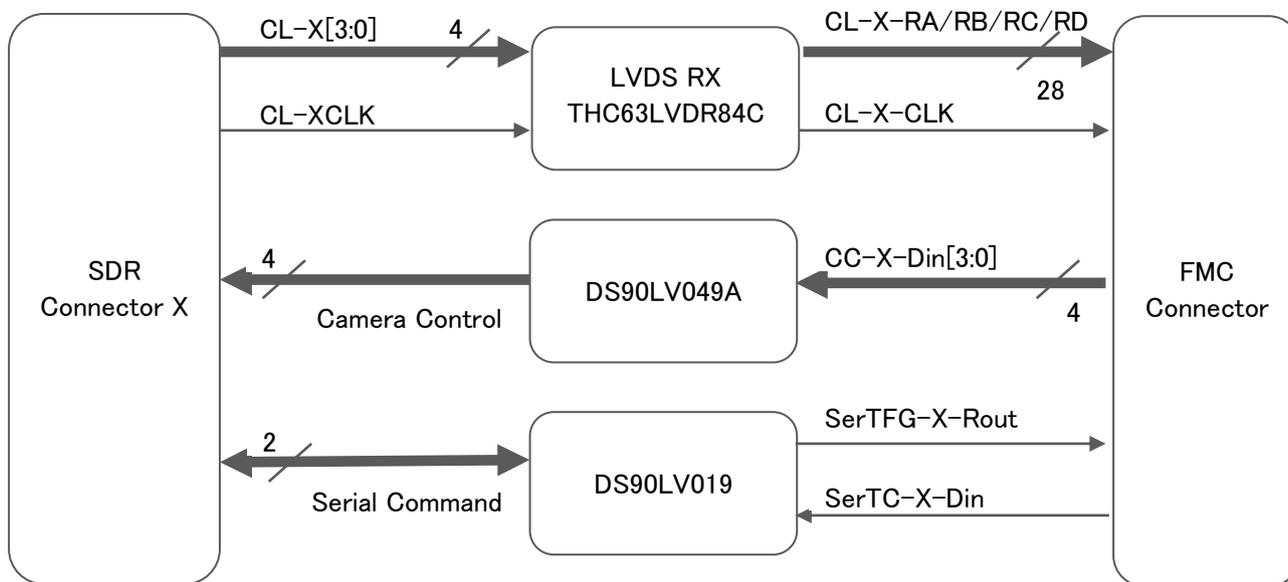


図 11-1 Base カメラ接続時

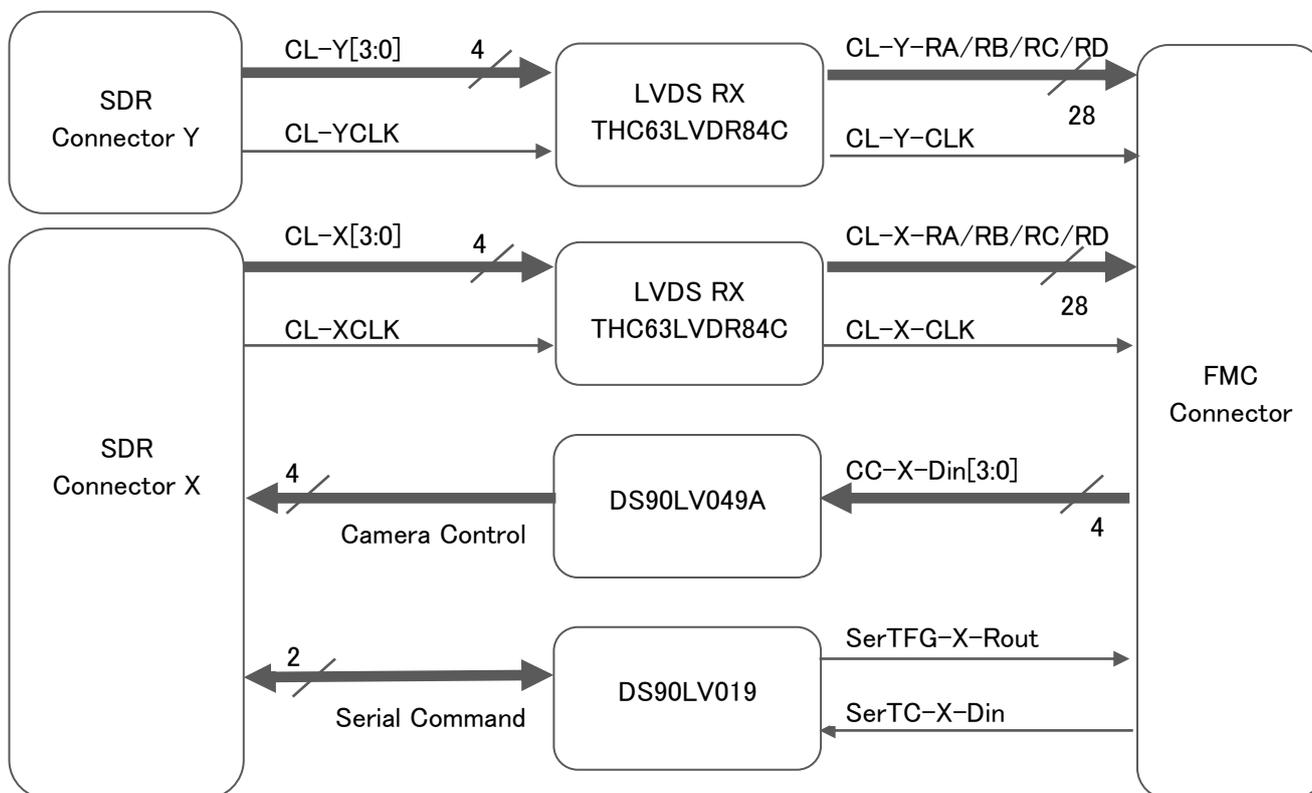


図 11-2 Medium カメラ接続時

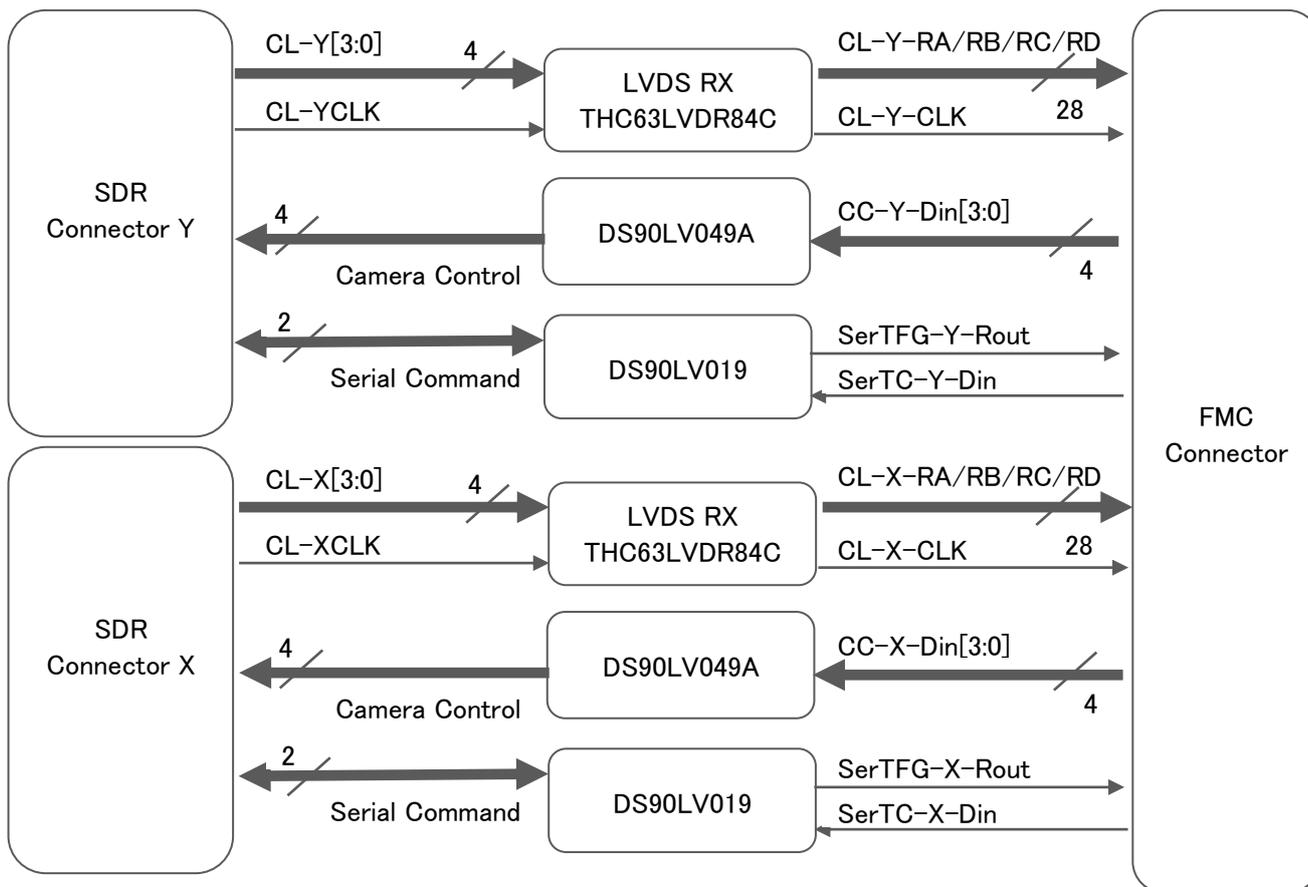


図 11-3 Dual Base カメラ接続時

12. ジャンパーについて

本ドータカードは PoCL 規格に対応しており、ジャンパーを切り替えることで CameraLink カメラに対して 12V 給電が可能です。

ジャンパーは細心の注意を払って設定してください。CameraLink カメラ、ドータカード、FPGA ボードが破損する可能性があります。

PoCL 非対応カメラをお使いの際は、ジャンパーを GND に設定してください。

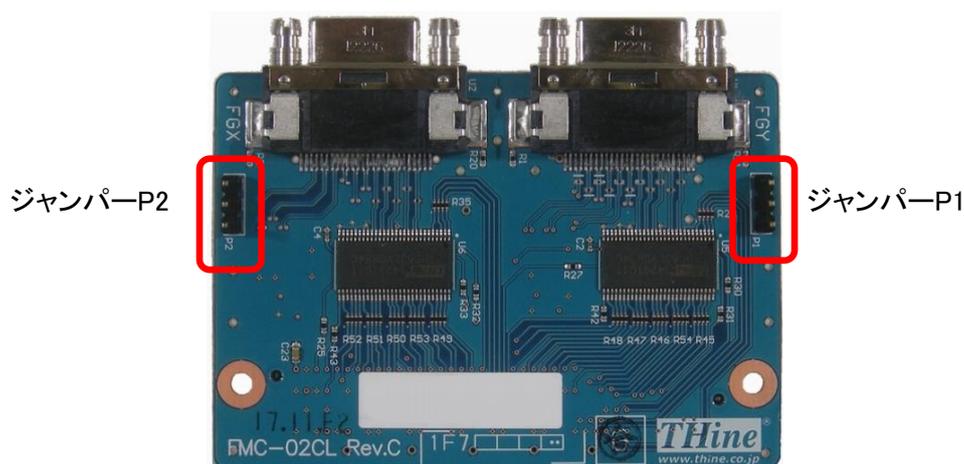


図 12-1 基板ジャンパー位置

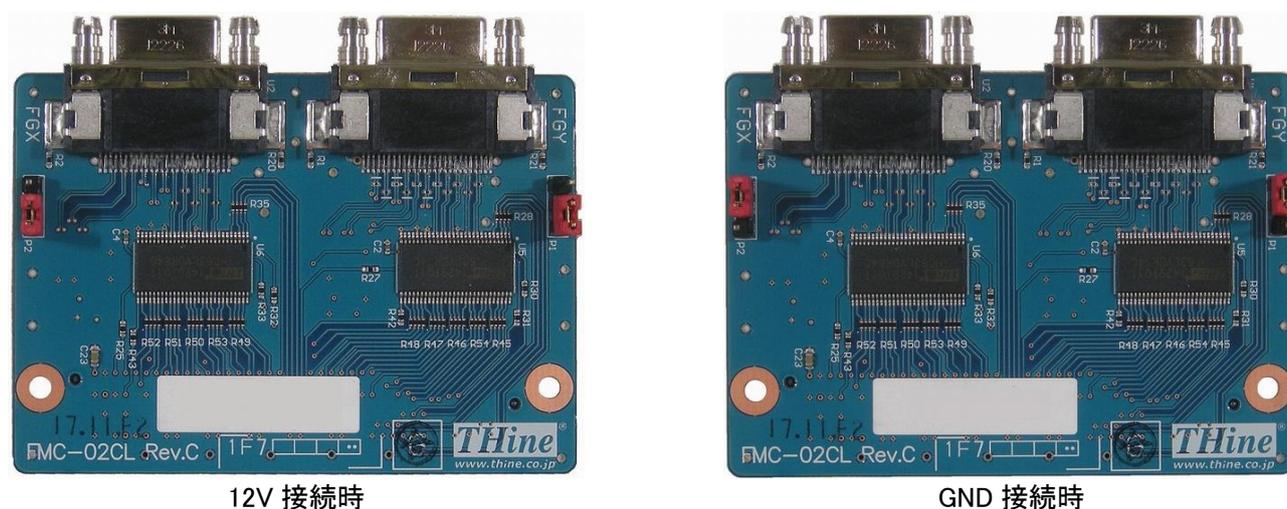


図 12-2 基板ジャンパー設定

表 12-1 基板ジャンパー詳細

Jumper No.	Description	Status	Function
P2	SDR Connector X PoCL Power Supply	12V 接続時	SDR Connector X への 12V 給電を有効
		GND 接続時	SDR Connector X への 12V 給電を無効
P1	SDR Connector Y PoCL Power Supply	12V 接続時	SDR Connector Y への 12V 給電を有効
		GND 接続時	SDR Connector Y への 12V 給電を無効

注1: PoCL 非対応カメラをお使いの際は、必ず「P2」「P1」ジャンパーを「GND」にしてください。

注2: Medium Configuration カメラをお使いの際は、必ず「P1」ジャンパーを「GND」にしてください。

13. Camera Control / Serial Command 設定

SDR Connector Y に接続している Camera Control 信号変換 IC および Serial Command 信号変換 IC は、FPGA ボードから FMC コネクタを通じて Enable/Disable 制御を行う必要があります。

表 13-1 Camera Control / Serial Command 設定

SDR Connector Y Status	Y-REB-ENB	Y-DE
Medium Configuration	High	Low
Dual Base Configuration	Low	High
Don't Use	High	Low

14. 26pin SDR Connector ピンアサイン

表 14-1 SDR Connector X ピンアサイン (Base/Medium Configuration)

Pin No.	I/O	Signal Name	Pin No.	I/O	Signal Name
1	-	DC+12V(PoCL)/Inner Shield	14	-	Inner Shield
2	O	CC4-	15	O	CC4+
3	O	CC3+	16	O	CC3-
4	O	CC2-	17	O	CC2+
5	O	CC1+	18	O	CC1-
6	I	Ser TFG+	19	I	Ser TFG-
7	O	Ser TC-	20	O	Ser TC-
8	I	X3+-	21	I	X3--
9	I	CLK X+	22	I	CLK X-
10	I	X2+	23	I	X2-
11	I	X1+	24	I	X1-
12	I	X0+	25	I	X0-
13	-	Inner Shield	26	-	DC+12V(PoCL)/Inner Shield

表 14-2 SDR Connector Y ピンアサイン (Medium Configuration)

Pin No.	I/O	Signal Name	Pin No.	I/O	Signal Name
1	-	Inner Shield	14	-	Inner Shield
2	-	-	15	-	-
3	-	-	16	-	-
4	-	-	17	-	-
5	-	-	18	-	-
6	-	-	19	-	-
7	-	-	20	-	-
8	I	Y3+	21	I	Y3-
9	I	CLK Y+	22	I	CLK Y-
10	I	Y2+	23	I	Y2-
11	I	Y1+	24	I	Y1-
12	I	Y0+	25	I	Y0-
13	-	Inner Shield	26	-	Inner Shield

表 14-3 SDR Connector Y ピンアサイン (Dual Base Configuration)

Pin No.	I/O	Signal Name	Pin No.	I/O	Signal Name
1	-	DC+12V(PoCL)/Inner Shield	14	-	Inner Shield
2	O	CC4-	15	O	CC4+
3	O	CC3+	16	O	CC3-
4	O	CC2-	17	O	CC2+
5	O	CC1+	18	O	CC1-
6	I	Ser TFG+	19	I	Ser TFG-
7	O	Ser TC-	20	O	Ser TC-
8	I	Y3+-	21	I	Y3--
9	I	CLK Y+	22	I	CLK Y-
10	I	Y2+	23	I	X2-
11	I	Y1+	24	I	X1-
12	I	Y0+	25	I	X0-
13	-	Inner Shield	26	-	DC+12V(PoCL)/Inner Shield

諸注意とお願い

1. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく、複製、又は第三者に公開しないようお願い申し上げます。
2. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承ください。
3. 本製品は、耐放射線設計は行われておりませんので、ご注意願います。
4. 本製品が、外国為替及び外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におれまして判断をお願い致します。

THine Electronics, Inc.

sales@thine.co.jp