

THCS253

IOHA:B 8B10B シリアルトランシーバ

1. 概要

THCS253 はシリアライザとデシリアライザを1チップに搭載し、32ビットのGPIOと2線シリアルインタフェース信号を集約して2対の差動信号で送受信しブリッジ可能なトランシーバICです。

THCS253 はプライマリチップ側の基準クロック信号で駆動して上り下りの高速伝送信号が同期して動作するSYNCモードと、プライマリチップ、セカンダリチップ双方からのクロック信号で駆動して上り下りの高速伝送信号が非同期で動作するASYNCモードが選択できます。それぞれの基準クロックは内部OSCクロックと外部入力クロックの何れかを選択出来ます。

2線シリアルインタフェース経由で内部レジスタにアクセスすれば、32ビットのGPIOの方向性や出力バッファタイプなどを1端子毎に設定するなどのカスタマイズが可能で、さらに汎用性を高めることが出来ます。

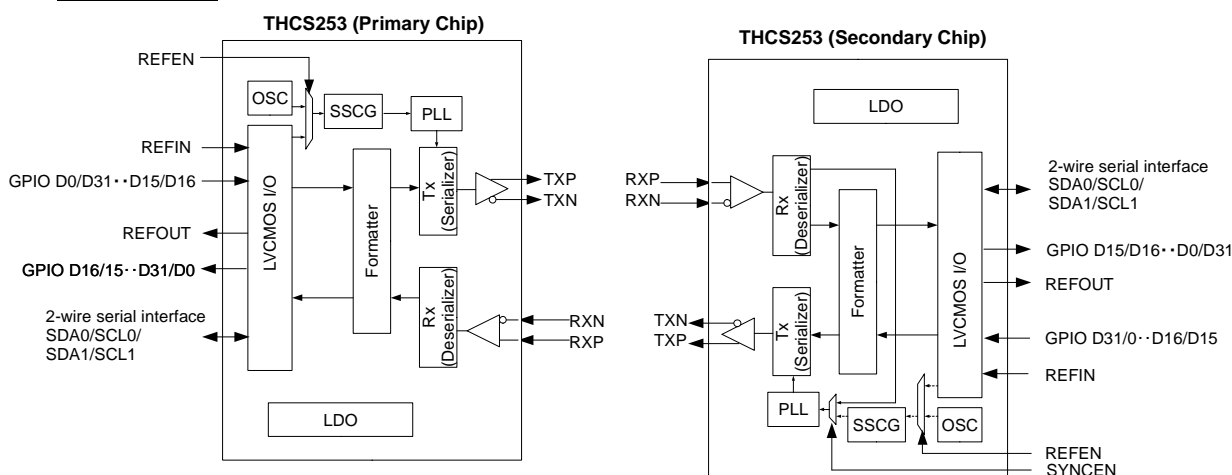
THCS253 で採用されている8B10Bエンコーディングおよびデコーディングは、高い堅牢性とDCバランス信号を備え、光/無線通信デバイスとの接続が容易です。

内蔵の適応型イライザは柔軟なケーブル選択を可能にし、プリエンフィスを備えたCMLドライバはさらに長いケーブル伝送を可能にします。

2. 特長

- 最大32ビットのGPIOを準備
- 内部発振器モードではGPIOサンプリングクロック信号入力が不要
- 片側基準クロック駆動の上下ストリーム同期モード
- 両側基準クロック駆動の上下ストリーム非同期モード
- 2対の差動信号で全二重通信
- 出力バッファはオープンドレインとプッシュプルから選択可能
- スタンバイモードでは低消費電力下で2線シリアルインタフェースと8ビットの低速通信が可能
- 最大1MHzの2線シリアルインタフェースのブリッジ機能
- 2線シリアルインタフェースからパラレルGPIOへのI/O拡張機能
- 適応型イライザは高損失伝送媒体に対応
- 8B10Bエンコーディング/デコーディング
- 入力出力双方にデジタルノイズフィルタを設定可能
- エラー検知と通知
- 外部基準クロック周波数: 9-133.3MHz
- スペクトラム拡散クロックジェネレータ搭載でEMI抑制
- 単一電源供給動作: 1.7V - 3.6V
- 広いIO電圧範囲: 1.7V - 3.6V
- 動作周囲温度範囲: -40°C to 85°C
- RoHS, REACH 適合

3. ブロック図

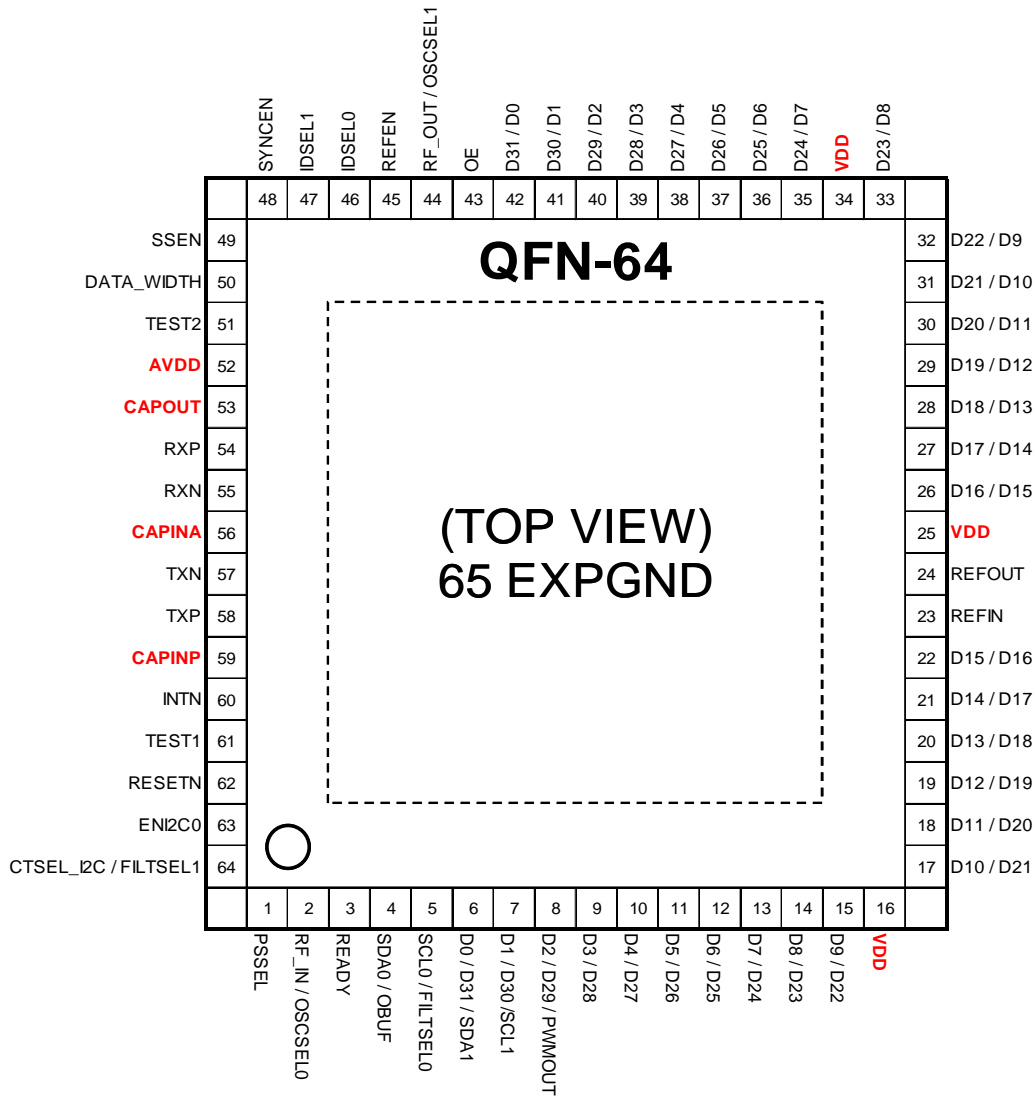


目次

1. 概要	1
2. 特長	1
3. ブロック図	1
4. 端子構成	4
5. 端子説明	5
5.1. 端子設定とチップモードの組合せ	9
6. 絶対最大定格	10
7. 推奨動作条件	10
8. 電気的特性	11
8.1. 消費電流	11
8.2. LVCMOS/アナログ入力 DC 仕様	13
8.3. LVCMOS AC 特性	14
8.4. CML DC 特性	18
8.5. CML AC 特性	18
8.6. 2線シリアルインタフェース DC/AC 特性	22
9. CML ラインアイディアグラム	23
9.1. CML 入力アイディアグラム	23
10. 機能	24
10.1. 機能概要	24
10.2. 電源供給	24
10.2.1. 内部レギュレータ出力/入力機能 (CAPOUT、CAPINA、CAPINP)	24
10.3. チップ動作状態	25
10.4. チップ動作モード	25
10.4.1. チップ構成	25
10.4.2. 動作クロックモード選択	26
10.4.3. 動作クロック選択	26
10.4.4. 動作モードの組合せ	28
10.5. ハイモード設定と周波数範囲	31
10.6. 2線シリアルインタフェース	32
10.6.1. 2線シリアルインタフェース設定	32
10.6.2. クロックストレッチング	33
10.6.3. デバイス ID	34
10.6.4. 2線シリアルコントローラ/ターゲットレジスタアドレス領域	34
10.6.5. 2線シリアルコントローラ SCL 周波数	35

10.6.6.	2線シリアルインタフェース_ウォッチドッグタイマ設定	35
10.6.7.	2線シリアルインタフェース経由 THCS253 内部レジスタアクセスプロトコル	36
10.6.8.	2線シリアルエクスパンション機能	43
10.7.	GPIO の方向	44
10.8.	IO 構成	46
10.8.1.	入出力デジタルノイズフィルタ	46
10.8.2.	LVC MOS 出力バッファタイプ構成	48
10.8.3.	5V 耐圧 IO	49
10.8.4.	LVC MOS 出力ドライブ強度設定	49
10.8.5.	CML 出力振幅電圧とプリエンファシス設定	49
10.9.	クロック構成	50
10.9.1.	サンプルリングクロック選択	50
10.9.2.	クロックエッジ切替え (RF_IN, RF_OUT)	51
10.10.	スペクトラム拡散クロックシミュレータと REFIN (端子) 周波数	52
10.11.	PWM 信号出力機能	53
10.12.	CRC	53
10.13.	エラー検知と通知	54
10.13.1.	READY 信号	54
10.13.2.	INTN 信号	54
10.14.	スタンバイモード: STANDBY (レジスタ) =1	55
11.	レジスタマップ	57
12.	外形図	60
13.	参考ラントパターン	61
14.	注意事項・免責事項	62

4. 端子構成



5. 端子説明

端子名	番号	種類	説明
TXP	58	CO	差動 Pch 出力
TXN	57	CO	差動 Nch 出力
RXP	54	CI	差動 Pch 入力
RXN	55	CI	差動 Nch 入力
RESETN	62	IL	チップ リセット 0:チップ リセット 1:チップ 動作
PSSEL	1	IL	チップ モード 選択 ※SYNCEN 参照 0:プライマリチップ モード 1:セカンダリチップ モード
SYNCEN	48	IL	リンクモード 選択 PSSEL=0 の時は無効 PSSEL=1 の時 0:非同期モード プライマリチップ /セカンダリチップ 各基準クロック駆動 1:同期モード プライマリチップ の基準クロックで駆動
REFEN	45	IL	基準クロック選択 0:内部発振器クロック駆動 1:外部入力クロック駆動
DATAWIDTH	50	IL	伝送データ幅選択 プライマリとセカンダリの DATAWIDTH は同設定としてください。 ※Table 8、Table 9、Table 19 参照
ENI2C	63	IL	2 線シリアルインタフェース 0:無効 1:有効
CTSEL_I2C/ FILTSEL1	64	IL	CTSEL_I2C : 2 線シリアルインタフェースコントローラ/ターゲット選択 0:2 線シリアルインタフェースターゲット (I2C コントローラ側) ハイス側) 1:2 線シリアルインタフェースコントローラ (I2C リモート側) ハイス側) FILTSEL1 : デジタルノイズフィルタ設定 ※Table 21、Table 22 参照
IDSELO	46	IL	2 線シリアルインタフェースステータスアドレス選択 ※Table 14 参照
IDSEL1	47	IL	2 線シリアルインタフェースステータスアドレス選択 ※Table 14 参照
RF_IN/ OSCSELO	2	IL	RF_IN : 入力信号クロックエッジ 選択 0:立ち上がりエッジ 1:立ち下がりエッジ OSCSELO : 内部発振器クロック周波数選択 ※Table 9 参照
RF_OUT/ OSECSEL1	44	IL	出力信号クロックエッジ 選択 0:立ち上がりエッジ 1:立ち下がりエッジ OSECSEL1 : 内部発振器クロック周波数選択 ※Table 9 参照

SDAO/ OBUF	4	BL	SDAO:2 線シリアルインタフェース SDA OBUF:出力バッファタイプ 選択 0:オープンドレイン 1:プッシュプル
SCL0/ FILTSEL0	5	BL	SCL0:2 線シリアルインタフェース SCL FILSET0:デジタルノイズフィルタ設定 ※Table 21、Table 22 参照
SSEN	49	IL	スペクトラム拡散クロックジェネレータ 0:SSCG PLL 無効 1:SSCG PLL 有効
OE	43	IL	出力インエーブル 0:LVC MOS 出力 Hi-Z 1:LVC MOS 出力有効
REFIN	23	B	REFIN:外部入力クロック
REFOUT	24	0	クロック出力
READY	3	B	CML リンク通信状態 0:アンロック状態 1:ロック状態
INTN	60	BO	割込み出力 ※READY=1 時 0:エラー発生 1(プルアップ):エラー無し
D0/ D31/ SDA1	6	BT	D0:プライマリチップ モードデータ入出力 D31:セカンダリチップ モードデータ入出力 SDA1:2 線シリアルインタフェース SDA
D1/ D30/ SCL1	7	BT	D1:プライマリチップ モードデータ入出力 D30:セカンダリチップ モードデータ入出力 SCL1:2 線シリアルインタフェース SCL
D2/D29/PWMOUT	8	BT	D2:プライマリチップ モードデータ入出力 D29:セカンダリチップ モードデータ入出力 PWMOUT:PWM 出力
D4/D27, D5/D26, D6/D25, D7/D24, D8/D23, D9/D22, D10/D21, D11/D20, D12/D19, D13/D18, D14/D17, D15/D16, D16/D15, D17/D14, D18/D13, D19/D12, D20/D11, D21/D10, D22/D9, D23/D8, D24/D7, D25/D6, D26/D5, D27/D4	10, 11, 12, 13, 14, 15, 17, 18, 19, 20, 21, 22, 26, 27 28, 29, 30, 31, 32, 33, 35, 36, 37, 38	B	プライマリチップ モードデータ入出力/セカンダリチップ モードデータ入出力 “/” の左側がプライマリチップ モード時 “/” の右側がセカンダリチップ モード時
D3/D28 D28/D3, D29/D2, D30/D1, D31/D0	9 39, 40, 41, 42	BT	プライマリチップ モードデータ入出力/セカンダリチップ モードデータ入出力 “/” の左側がプライマリチップ モード時 “/” の右側がセカンダリチップ モード時
TEST1	61	IL	GND へ接続してください
TEST2	51	AI	GND へ接続してください

CAPOUT	53	PWR	テカップリングコンデンサ端子、1.2V 出力
CAPINA	56	PWR	1.2V アナログ電源入力
CAPINP	59	PWR	1.2V アナログ電源入力
VDD	16, 25, 34	PWR	LVC MOS I/O 用 1.7-3.6V デジタル電源入力
AVDD	52	PWR	内蔵レギュレー用 1.7-3.6V アナログ電源入力
EXPGND	65	GND	露出パッド GND ビアアレイを介して GND プレーンに接続してください

端子種類

アナログバッファ

CO : CML 出力バッファ

CI : CML 入力バッファ

AI : アナログ入力バッファ

LVC MOS バッファ

IL : 低速シュミットリカ LVC MOS 入力バッファ

B : LVC MOS 双方向バッファ

BO : オープントレイン LVC MOS 双方向バッファ

BL : 低速 5V 耐圧シュミットリカ LVC MOS 双方向バッファ

BT : 低速 5V 耐圧 LVC MOS 双方向バッファ

電源/GND

PWR : 電源入力

GND : グラント

Table 1 プライマリチップモード端子共用説明

端子番号	プライマリチップ / セカンダリチップ	プライマリチップモード					
	サンプルリンククロック	内部発振器			外部入力		
	2線シリアル (SDA0/SCL0)	無効	有効	有効	無効	有効	有効
	2線シリアル (SDA1/SCL1)		無効			無効	
1	PSSEL	0	0	0	0	0	0
45	REFEN	0	0	0	1	1	1
63	ENI2C	0	1	1	0	1	1
レジスタ	ENI2C1	-	{0}	{1}	-	{0}	{1}
2	RF_IN/OSCSELO	OSCSELO	OSCSELO	OSCSELO	RF_IN	RF_IN	RF_IN
44	RF_OUT/OSCSEL1	OSCSEL1	OSCSEL1	OSCSEL1	RF_OUT	RF_OUT	RF_OUT
4	SDA0/OBUF	OBUF	SDA0	SDA0	OBUF	SDA0	SDA0
5	SCL0/FILTSELO	FILTSELO	SCL0	SCL0	FILTSELO	SCL0	SCL0
64	CTSEL_I2C/FILTSEL1	FILTSEL1	CTSEL_I2C	CTSEL_I2C	FILTSEL1	CTSEL_I2C	CTSEL_I2C
6	D0/D31/SDA1	D0	D0	SDA1	D0	D0	SDA1
7	D1/D30/SCL1	D1	D1	SCL1	D1	D1	SCL1
[*1]	D2/D29-D31/D0	D2-D32	D2-D32	D2-D32	D2-D32	D2-D32	D2-D32

*1 端子番号 : 8-15、17-22、26-33、35-42

Table 2 セカンダリチップモード端子共用説明

端子番号	プライマリチップ / セカンダリチップ	セカンダリチップモード					
	サンプルリンククロック	内部発振器			外部入力		
	2線シリアル (SDA0/SCL0)	無効	有効	有効	無効	有効	有効
	2線シリアル (SDA1/SCL1)		無効			無効	
1	PSSEL	1	1	1	1	1	1
45	REFEN	0	0	0	1	1	1
63	ENI2C	0	1	1	0	1	1
レジスタ	ENI2C1	-	{0}	{1}	-	{0}	{1}
2	RF_IN/OSCSELO	OSCSELO	OSCSELO	OSCSELO	RF_IN	RF_IN	RF_IN
44	RF_OUT/OSCSEL1	OSCSEL1	OSCSEL1	OSCSEL1	RF_OUT	RF_OUT	RF_OUT
4	SDA0/OBUF	OBUF	SDA0	SDA0	OBUF	SDA0	SDA0
5	SCL0/FILTSELO	FILTSELO	SCL0	SCL0	FILTSELO	SCL0	SCL0
64	CTSEL_I2C/FILTSEL1	FILTSEL1	CTSEL_I2C	CTSEL_I2C	FILTSEL1	CTSEL_I2C	CTSEL_I2C
6	D0/D31/SDA1	D31	D31	SDA1	D31	D31	SDA1
7	D1/D30/SCL1	D30	D30	SCL1	D30	D30	SCL1
[*1]	D2/D29-D31/D0	D29-D0	D29-D0	D29-D0	D29-D0	D29-D0	D29-D0

*1 端子番号 : 8-15、17-22、26-33、35-42

{0} , {1} のような中括弧付きの値を設定する場合は、2線式シリアルインタフェースによるレジスタ設定が必要です。各 Table の以下の定義を参照ください。

端子による設定
レジスタによる設定

5.1. 端子設定とチップモードの組合せ

プライマリチップ / セカンダリチップ間で組合せ可能なモードの一覧を示す。※モード詳細は 10.機能を参照

Table 3 Primary Chip / Secondary Chip list of pair combination

		PSSEL=0 : プライマリチップモード (Pri)																				
		REFEN	ENI2C	CTSEL_I2C	REFEN	ENI2C	CTSEL_I2C	REFEN	ENI2C	CTSEL_I2C	REFEN	ENI2C	CTSEL_I2C	REFEN	ENI2C	CTSEL_I2C	REFEN	ENI2C	CTSEL_I2C			
		0	0	-	0	1	0	0	1	1	1	0	-	1	1	0	1	1	1			
PSSEL=1 セカンダリチップモード (Sec)	SYNCEN	0		禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止		
	REFEN	0																				
	ENI2C	0																				
	CTSEL_I2C	C	-																			
	SYNCEN	0	禁止		禁止			禁止														
	REFEN	0																				
	ENI2C	1																				
	CTSEL_I2C	C	0																			
	SYNCEN	0	禁止		禁止	適用無し	適用無し	禁止														
	REFEN	0																				
	ENI2C	1																				
	CTSEL_I2C	C	1																			
	SYNCEN	0		禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止
	REFEN	1																				
	ENI2C	0																				
	CTSEL_I2C	C	-																			
	SYNCEN	0	禁止		禁止			禁止														
	REFEN	1																				
	ENI2C	1																				
	CTSEL_I2C	C	0																			
SYNCEN	0	禁止		禁止	適用無し	適用無し	禁止															
REFEN	1																					
ENI2C	1																					
CTSEL_I2C	C	1																				
SYNCEN	1		禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	禁止	
REFEN	-																					
ENI2C	0																					
CTSEL_I2C	C	-																				
SYNCEN	1	禁止		禁止			禁止															
REFEN	-																					
ENI2C	1																					
CTSEL_I2C	C	0																				
SYNCEN	1	禁止		禁止	適用無し	適用無し	禁止															
REFEN	-																					
ENI2C	1																					
CTSEL_I2C	C	1																				

6. 絶対最大定格

パラメータ	Min	Typ	Max	Unit
電源電圧 (VDD, AVDD)	-0.3	-	4.0	V
LVC MOS 入力電圧	-0.3	-	VDD+0.3	V
LVC MOS 出力電圧	-0.3	-	VDD+0.3	V
5V 耐圧双方向バッファ入力電圧	-0.3	-	VDD+2.5	V
5V 耐圧双方向バッファ出力電圧	-0.3	-	VDD+2.5	V
オープンコレクタ出力電圧	-0.3	-	4.0	V
CML レシーバ入力電圧	-0.3	-	CAPINA+0.3	V
CML トランスミッタ出力電圧	-0.3	-	CAPINP+0.3	V
出力電流	-50	-	50	mA
保存温度	-55	-	125	°C
ジャンクション温度	-	-	125	°C
リフローピーク温度/秒	-	-	260/10	°C/sec
θ_{ja} (ジャンクション-雰囲気)	29.1 [*1]			°C/W
Ψ_{jt} (ジャンクション-パッケージ上部)	1.1 [*1]			°C/W
最大許容損失@+25°C	3.4[*1]			W

”絶対最大定格”とは、その値を超えると機器の安全性が保証できなくなる定格を意味します。

”絶対最大定格”は、この値を超えてデバイスを動作させることを意味するものではありません。

”電気的特性”の表は、デバイスが動作するための条件を示しています。

*1: 熱的パラメータは保証値ではありません。この値は、基板やシステムレベルの設計を支援するものです。

7. 推奨動作条件

パラメータ	Min	Typ	Max	Unit
電源電圧 (VDD, AVDD)	1.7	-	3.6	V
動作雰囲気温度	-40	-	85	°C

8. 電気的特性

8.1. 消費電流

記号	パラメータ	端子種類	条件	最少	標準	最大	単位
Idd_w1	ノーマルモード電流 プライマリチップ _DATAWIDTH=H 32ビット入力 (フルクゲル 40MHz) REFIN mode (80MHz)	PWR	AVDD=3.3V VDD=3.3V	-	118	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=H 32ビット出力 (フルクゲル 40MHz) REFIN=80MHz				197		
Idd_w2	ノーマルモード電流 プライマリチップ _DATAWIDTH=H 27ビット入力 (フルクゲル 40MHz) 5ビット出力 (フルクゲル 40MHz) REFIN=80MHz	PWR	AVDD=3.3V VDD=3.3V	-	126	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=H 5ビット入力 (フルクゲル 40MHz) 27ビット出力 (フルクゲル 40MHz) REFIN=80MHz				184		
Idd_w3	ノーマルモード電流 プライマリチップ _DATAWIDTH=H 10ビット入力 (フルクゲル 20MHz) 10ビット出力 (フルクゲル 20MHz) REFIN=80MHz	PWR	AVDD=3.3V VDD=3.3V	-	128	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=H 10ビット入力 (フルクゲル 20MHz) 10ビット出力 (フルクゲル 20MHz) REFIN=80MHz				128		
Idd_w4	ノーマルモード電流 プライマリチップ _DATAWIDTH=H 16ビット入力 (フルクゲル 1MHz) 16ビット出力 (フルクゲル 1MHz) REFIN=80MHz	PWR	AVDD=3.3V VDD=3.3V	-	114	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=H 16ビット入力 (フルクゲル 1MHz) 16ビット出力 (フルクゲル 1MHz) REFIN=80MHz				114		
Idd_w5	ノーマルモード電流 プライマリチップ _DATAWIDTH=H 16ビット入力 (フルクゲル 1MHz) 16ビット出力 (フルクゲル 1MHz) REFIN=40MHz	PWR	AVDD=3.3V VDD=3.3V	-	85	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=H 16ビット入力 (フルクゲル 1MHz) 16ビット出力 (フルクゲル 1MHz) REFIN=40MHz				85		

Idd_w6	ノーマルモード電流 プライマリチップ _DATAWIDTH=L 16ビット入力(フルクゲル 1MHz) 16ビット出力(フルクゲル 1MHz) REFIN=80MHz	PWR	AVDD=3.3V VDD=3.3V	-	87	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=L 16ビット入力(フルクゲル 1MHz) 16ビット出力(フルクゲル 1MHz) REFIN=80MHz				87		
Idd_w7	ノーマルモード電流 プライマリチップ _DATAWIDTH=L 16ビット入力(フルクゲル 66.67MHz) 16ビット出力(フルクゲル 66.67MHz) REFIN=133.34MHz	PWR	AVDD=3.3V VDD=3.3V	-	190	-	mA
	ノーマルモード電流 セカンダリチップ _DATAWIDTH=L 16ビット入力(フルクゲル 66.67MHz) 16ビット出力(フルクゲル 66.67MHz) REFIN=133.34MHz				190		
Idd_w8	スタンバイモード電流 8ビット入力(フルクゲル 6.25kHz)	PWR	AVDD=3.3V VDD=3.3V	-	7	-	mA
	スタンバイモード電流 セカンダリチップ _DATAWIDTH=L 8ビット出力(フルクゲル 6.25kHz)				7		
Idd_w9	スタンバイモード電流 8ビット出力(フルクゲル 6.25kHz)	PWR	AVDD=3.3V VDD=3.3V	-	7	-	mA
	スタンバイモード電流 セカンダリチップ _DATAWIDTH=L 8ビット入力(フルクゲル 6.25kHz)				7		

8.2. LVC MOS/アナログ入力 DC 仕様

記号	パラメータ	端子種類	条件	最小	標準	最大	記号
VIH	High レベル入力電圧	B, BT, BO	1. $1.7V \leq VDD < 2.0V$	0.65 VDD	-	VDD	V
			2. $2.0V \leq VDD < 3.0V$	0.70 VDD	-	VDD	V
			3. $3.0V \leq VDD \leq 3.6V$	2.0	-	VDD	V
		IL, BL	1. $1.7V \leq VDD \leq 3.6V$	0.70 VDD	-	VDD	V
VIL	Low レベル入力電圧	B, BT, BO	1. $1.7V \leq VDD < 2.0V$	0	-	0.35 VDD	V
			2. $2.0V \leq VDD < 3.0V$	0	-	0.30 VDD	V
			3. $3.0V \leq VDD \leq 3.6V$	0	-	0.8	V
		IL, BL	1. $1.7V \leq VDD \leq 3.6V$	0	-	0.30 VDD	V
		AI	1. $1.7V \leq VDD \leq 3.6V$	0	-	0.15 VDD	V
VOH	High レベル出力電圧	B, BT, BL	1. $1.7V \leq VDD < 2.0V$ TTLDRV (レジスタ) = {0} IOH = -2mA	VDD - 0.30	-	VDD	V
			1. $1.7V \leq VDD < 2.0V$ TTLDRV (レジスタ) = {1} IOH = -4mA	VDD - 0.45	-	VDD	V
			2. $2.0V \leq VDD \leq 3.6V$ IOH = -4mA	VDD - 0.45	-	VDD	V
VOL	Low レベル出力電圧	B, BT, BL	1. $1.7V \leq VDD < 2.0V$ TTLDRV (レジスタ) = {0} IOL = 2mA	0	-	0.30	V
			1. $1.7V \leq VDD < 2.0V$ TTLDRV (レジスタ) = {1} IOL = 4mA	0	-	0.45	V
			2. $2.0V \leq VDD \leq 3.6V$ IOL = 4mA	0	-	0.45	V
		BO	1. $1.7V \leq VDD \leq 3.6V$ IOL = 2mA	0	-	0.27	V
IiH	入力リク電流 High	IL	VIN = VDD	-10	-	10	uA
IiL	入力リク電流 Low	IL	VIN = 0V	-10	-	10	uA
IOZH	Hi-Z 状態の出力リク電流 High	B, BT, BL, BO	VIN = VDD	-10	-	10	uA
IOZL	Hi-Z 状態の出力リク電流 Low	B, BT, BL, BO	VIN = 0V	-10	-	10	uA

AI : アナログ入力バッファ

IL : 低速シュミットリカ LVC MOS 入力バッファ

B : LVC MOS 双方向バッファ

BO : オープンドレイン LVC MOS 双方向バッファ

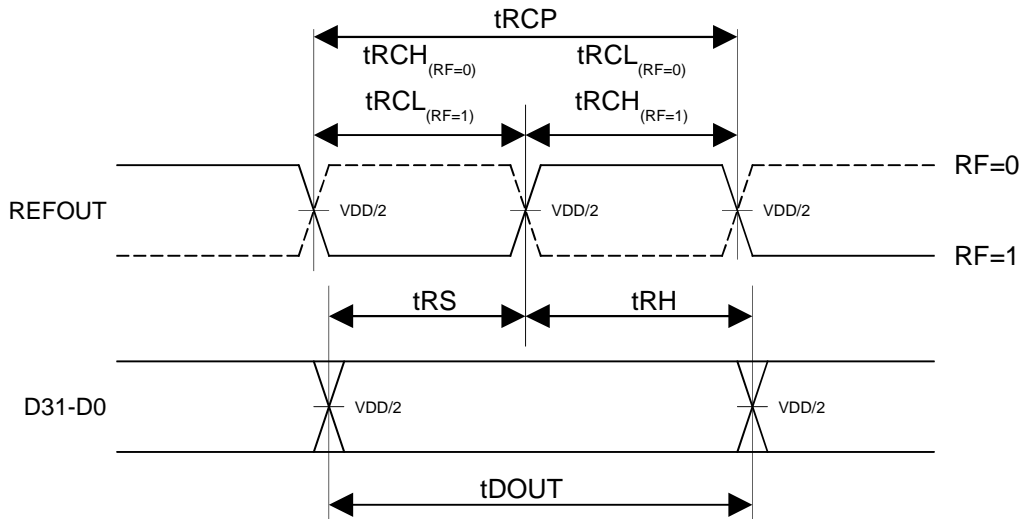
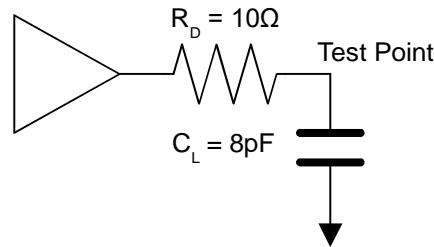
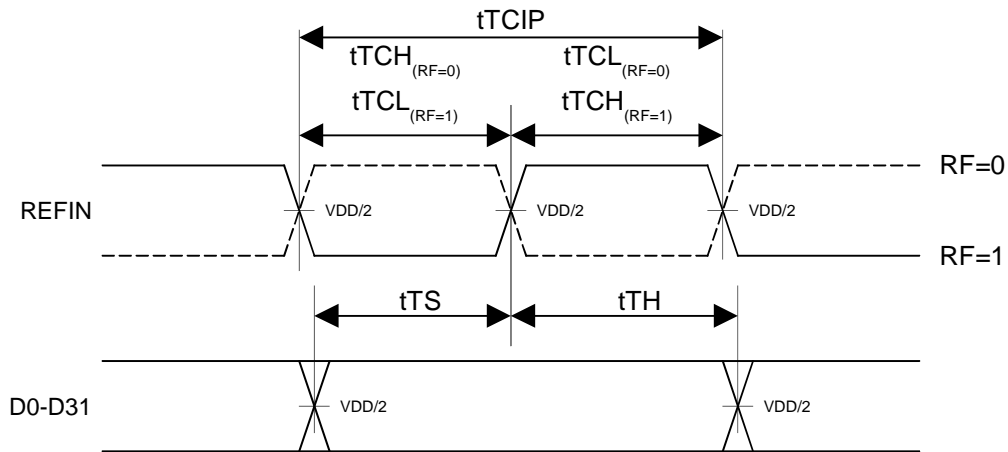
BL : 低速 5V 耐圧シュミットリカ LVC MOS Bi-directional buffer

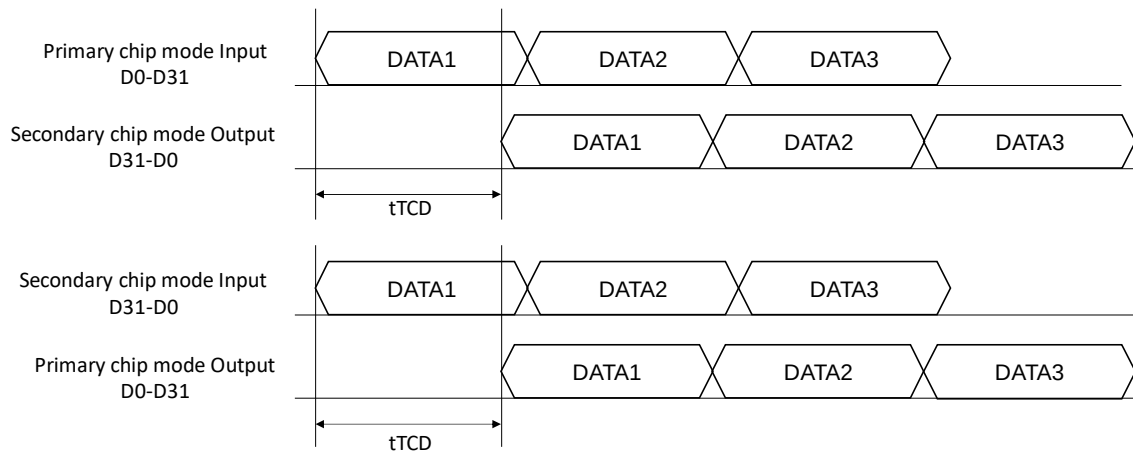
BT : 低速 5V 耐圧 LVC MOS 双方向バッファ

8.3. LVCMOS AC 特性

記号	パラメータ	条件	最少	標準	最大	単位
tRSN	RESETN の Low 時間	-	3	-	-	us
tTCIP	REFIN 周期	DATA_WIDTH (端子)=0 1. 7V ≤ VDD ≤ 2.25V and TTLDRV (レジスタ)={0}	10	-	66.6	ns
		DATA_WIDTH (端子)=0 2. 25V ≤ VDD ≤ 3.6V or TTLDRV (レジスタ)={1}	7.5	-	66.6	ns
		DATA_WIDTH (端子)=1	12.5	-	111	ns
tTCH	REFIN の High 時間	-	0.35 tTCIP	0.5 tTCIP	0.65 tTCIP	ns
tTCL	REFIN の Low 時間	-	0.35 tTCIP	0.5 tTCIP	0.65 tTCIP	ns
tTS	REFIN に対するデータ入力セットアップ時間	Pin type: B 1. 7V ≤ VDD ≤ 3.6V	2.0	-	-	ns
		Pin type: BT 1. 7V ≤ VDD < 2.25V	25	-	-	ns
		Pin type: BT 2. 25V ≤ VDD ≤ 2.75V	2.5	-	-	ns
		Pin type: BT 2. 75V < VDD ≤ 3.6V	2.0	-	-	ns
tTH	REFIN に対するデータ入力ホールド時間	-	1.0	-	-	ns
tTPD	電源投入から RESETN=High 入力可までの時間	-	0	-	-	ns
tOSC	内部オシレータ周期	OSCSSEL1 (端子)=0 OSCSSEL0 (端子)=0	41.67	50	62.5	ns
		OSCSSEL1 (端子)=1 OSCSSEL0 (端子)=0	20.84	25	31.25	ns
		OSCSSEL1 (端子)=1 OSCSSEL0 (端子)=1	10.42	12.5	15.62	ns
tDCP	データサンプリングクロック周期	REFEN (端子)=0	-	tOSC	-	ns
		REFEN (端子)=1	-	tTCIP	-	ns
tFLTCK	ノイズフィルタクロック周期	REFEN (端子)=0	10.42	12.5	15.62	ns
		REFEN (端子)=1	-	tTCIP	-	ns
tTCD	データ入力からデータ出力までの遅延時間 注) プライマリリップとセカンダリリップ間の伝送遅延は含みません。	デジタルノイズフィルタ入出力ともに無効時 Table 21, Table 22 参照	36.2 tDCP	-	61.3 tDCP	ns
		デジタルノイズフィルタ入出力ともに 4 段 Table 21, Table 22 参照	46 tDCP	-	73.7 tDCP	ns
		デジタルノイズフィルタ入出力ともに 8 段 Table 21, Table 22 参照	53.4 tDCP	-	82.1 tDCP	ns
		デジタルノイズフィルタ入出力ともに 16 段 Table 21, Table 22 参照	68.1 tDCP	-	100.5 tDCP	ns
tRCP	REFOUT 周期	-	-	tDCP	-	ns
tRCH	REFOUT の High 時間	-	-	0.5 tDCP	-	ns
tRCL	REFOUT の Low 時間	-	-	0.5 tDCP	-	ns
tDOUT	データ出力周期	-	-	tDCP	-	ns
tRS	REFOUT に対するデータ出力セットアップ時間	-	0.45 tDCP - 0.675	-	-	ns
tRH	REFOUT に対するデータ出力ホールド時間	-	0.45 tDCP - 2.175	-	-	ns

記号	パラメータ	条件	最少	標準	最大	単位
tRRDY	RESETN=High 入力から READY=High までの時間	-	-	-	1	ms
tNRDY	STANDBY=Low 入力から READY=High までの時間	-	0	-	10	ms
tSRDY	STANDBY=High 入力から READY=high までの時間	-	0	-	10	ms
tTLH	クロック及びデータ出力の Low から High への遷移時間	Clock , TTLDRV (レジスタ)={0}	-	-	2.1	ns
		Data (端子 type=B) , TTLDRV (レジスタ)={0}	-	-	4.2	ns
		Data (端子 type=BT) , TTLDRV (レジスタ)={0}	-	-	5.9	ns
		Clock , TTLDRV (レジスタ)={1}	-	-	1.1	ns
		Data (端子 type=B) , TTLDRV (レジスタ)={1}	-	-	2.3	ns
		Data (端子 type=BT) , TTLDRV (レジスタ)={1}	-	-	3.0	ns
tTHL	クロック及びデータ出力の High から Low への遷移時間	Clock , TTLDRV (レジスタ)={0}	-	-	2.1	ns
		Data (端子 type=B) , TTLDRV (レジスタ)={0}	-	-	4.3	ns
		Data (端子 type=BT) , TTLDRV (レジスタ)={0}	-	-	6.1	ns
		Clock , TTLDRV (レジスタ)={1}	-	-	1.1	ns
		Data (端子 type=B) , TTLDRV (レジスタ)={1}	-	-	2.2	ns
		Data (端子 type=BT) , TTLDRV (レジスタ)={1}	-	-	3.0	ns



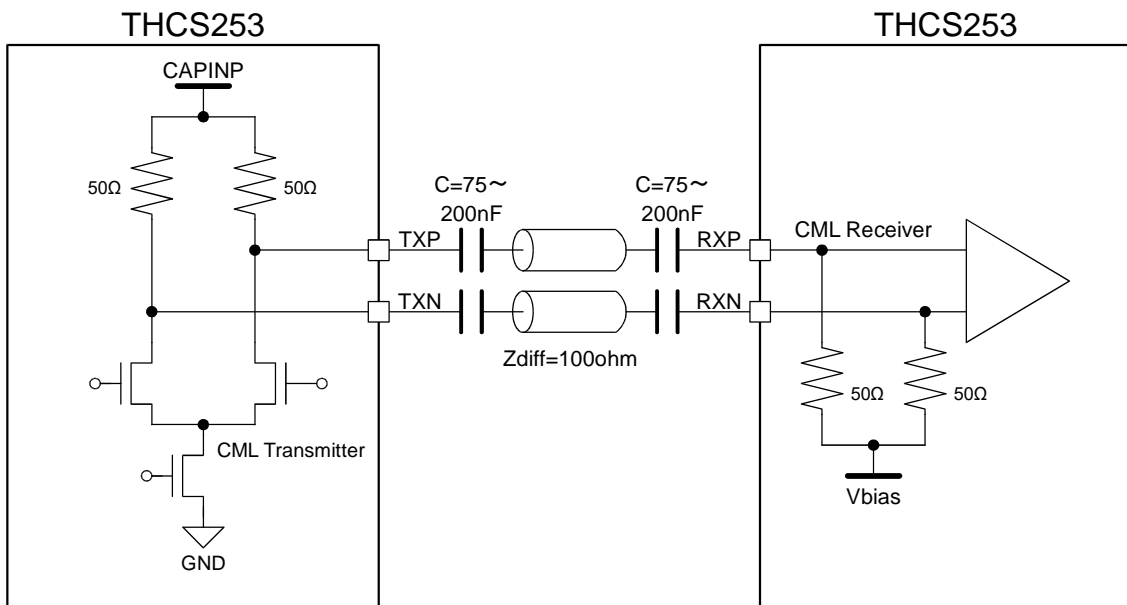
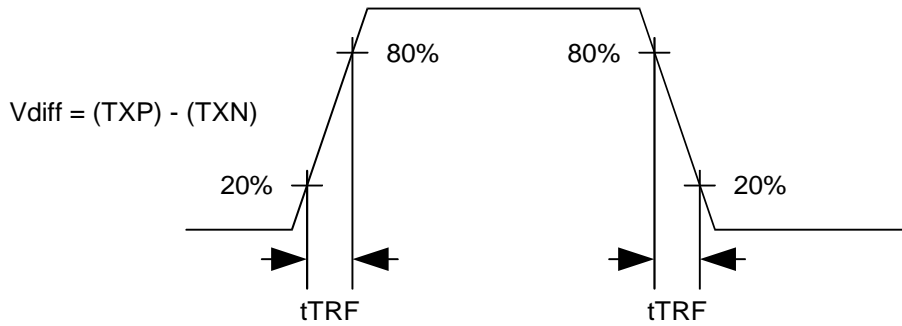
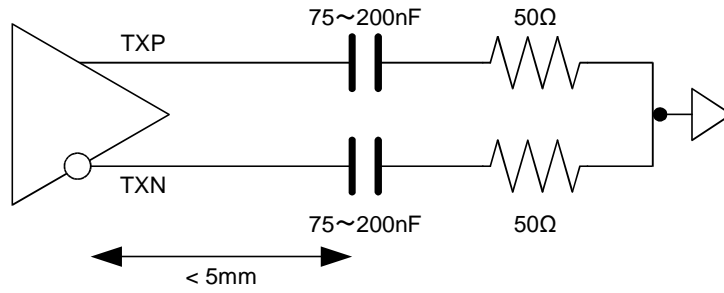


8.4. CML DC 特性

記号	パラメータ	条件	最少	標準	最大	単位
VTOD	CML 差動出力 ヒールアップ値	CMLDRV[1:0] (レジスタ)={00}	266	400	534	mVpp
		CMLDRV[1:0] (レジスタ)={01} (テフォルト)	400	600	800	mVpp
		CMLDRV[1:0] (レジスタ)={10}	600	800	1000	mVpp
PRE	CML プリエンファシスレベル	PRE (レジスタ)={0} (テフォルト)	-	0	-	dB
		PRE (レジスタ)={1}	-	6	-	dB
		CMLDRV[1:0] (レジスタ)={00}	-	6	-	dB
		PRE (レジスタ)={1}	-	3.52	-	dB
VTOC	CML コモンモード出力電圧	PRE (レジスタ)={0} (テフォルト)	-	1200 - 0.5 VTOD	-	mV
		PRE (レジスタ)={1}	-	1200 - VTOD	-	mV
		CMLDRV[1:0] (レジスタ)={00}	-	1200 - VTOD	-	mV
		PRE (レジスタ)={1}	-	1200 - 0.75 VTOD	-	mV
ITOH	CML 出力リーク電流	RESETN (端子)=0 TXP/N (端子)=CAPINA (端子)	-30	-	30	uA
ITOS	CML 出力短絡電流	RESETN (端子)=0 TXP/N (端子)=0V	-80	-	-	mA
VRTH	CML 差動入力 high スレッショルド	-	-	-	50	mV
VRTL	CML 差動入力 Low スレッショルド	-	-50	-	-	mV
IRIH	CML 入力リーク電流 High	RESETN (端子)=0 RXP/N (端子)=CAPINA (端子)	-10	-	10	uA
IRIL	CML 入力リーク電流 Low	RESETN (端子)=0 RXP/N (端子)=0V	-10	-	10	uA
IRRIH	CML 入力電流 High	RXP/N (端子)=CAPINA (端子)	-	-	2	mA
IRRIL	CML 入力電流 Low	RXP/N (端子)=0V	-6	-	-	mA
RRIN	CML 差動入力抵抗	-	80	100	120	Ω

8.5. CML AC 特性

記号	パラメータ	条件	最少	標準	最大	単位
tTRF	CML 出力立ち上り/立ち下り時間 (20%-80%)	-	50	-	150	ps
tTPLL0	RESETN=High 入力から CML 出力遅延	-	-	-	1	ms
tTPLL1	RESETN=Low 入力から CML 出力 high 固定遅延	-	-	-	200	ns
tTNP0	READY=Low からトレーニングパタン 出力遅延	-	-	-	100	us
tTBIT	出力ユニットインターバル	DATA_WIDTH (端子)=0	-	tDCP ÷ 30	-	ns
		DATA_WIDTH (端子)=1	-	tDCP ÷ 50	-	ns
tRBIT	入力ユニットインターバル	-	250	-	2222	ps

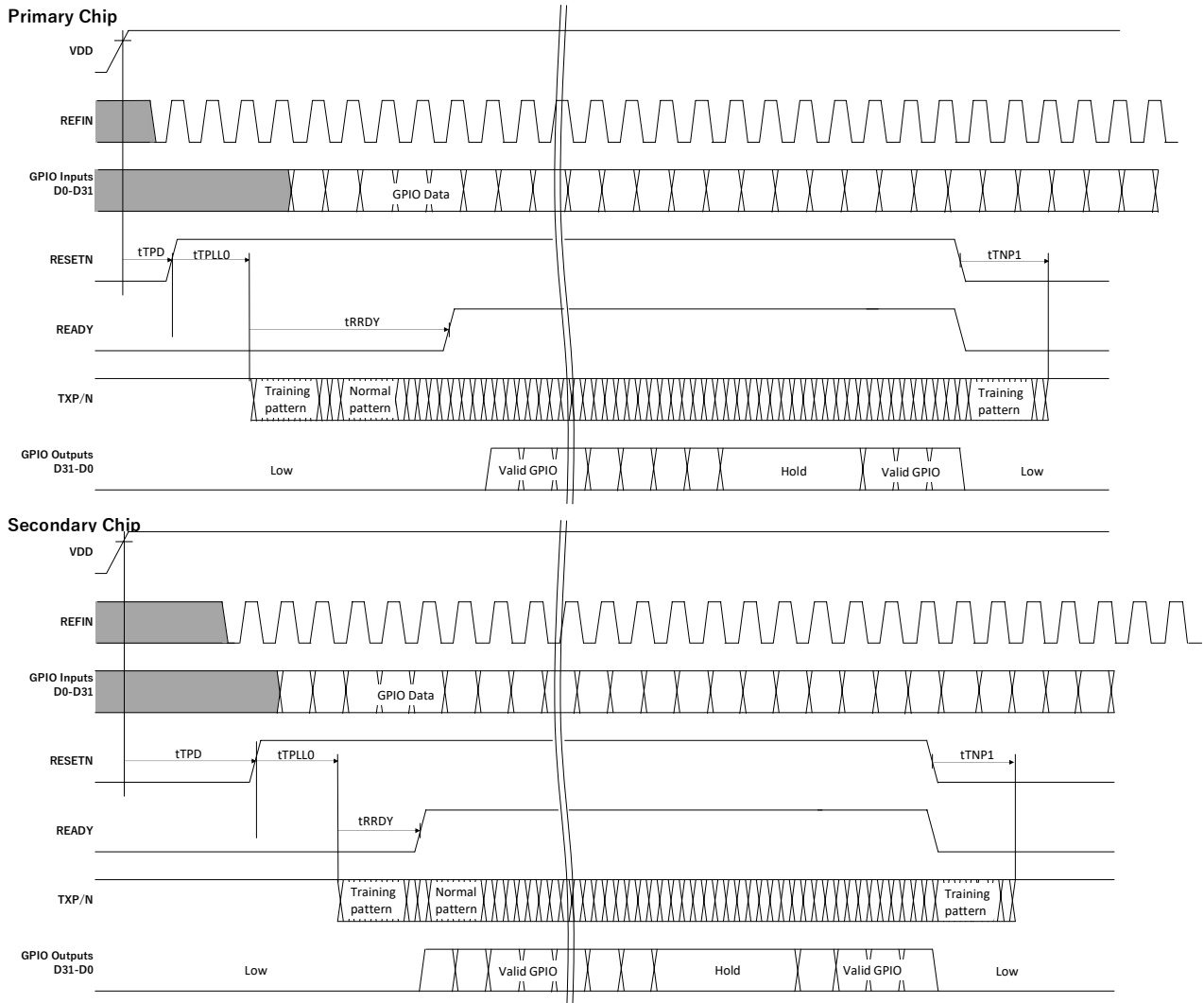


ASYNc モード

プライマリチップからの Training pattern 出力には RESET=1 と REFIN 周波数*1 の入力が必要です。

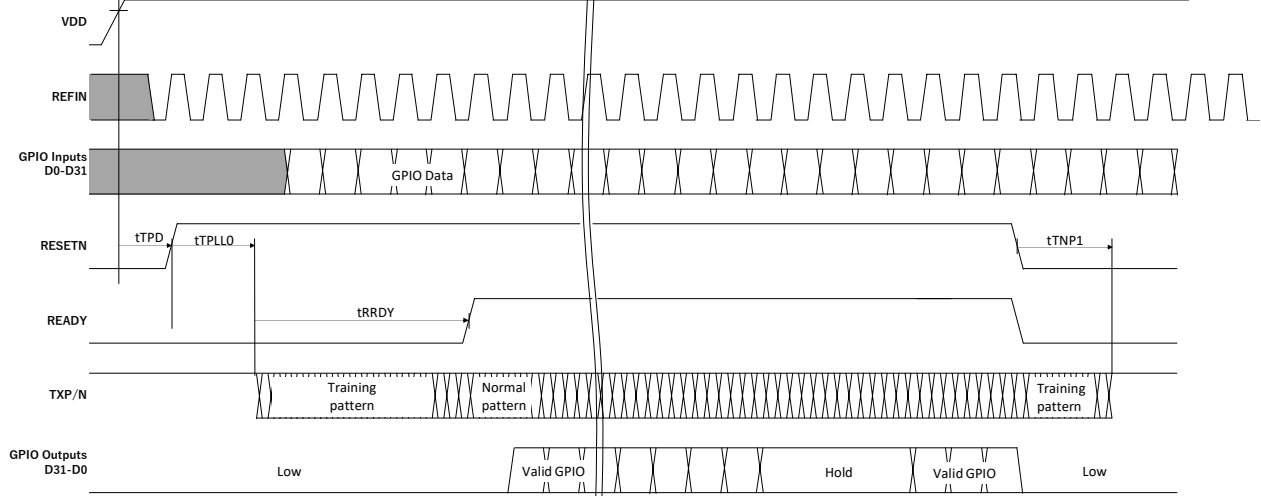
セカンダリチップからの Training pattern 出力には RESET=1 と REFIN 周波数*1 の入力とともにプライマリチップからの Training pattern 受信が必要です。

*1 : REFEN=0 の内部発振器クロックモード時は RESET=1 のみ。

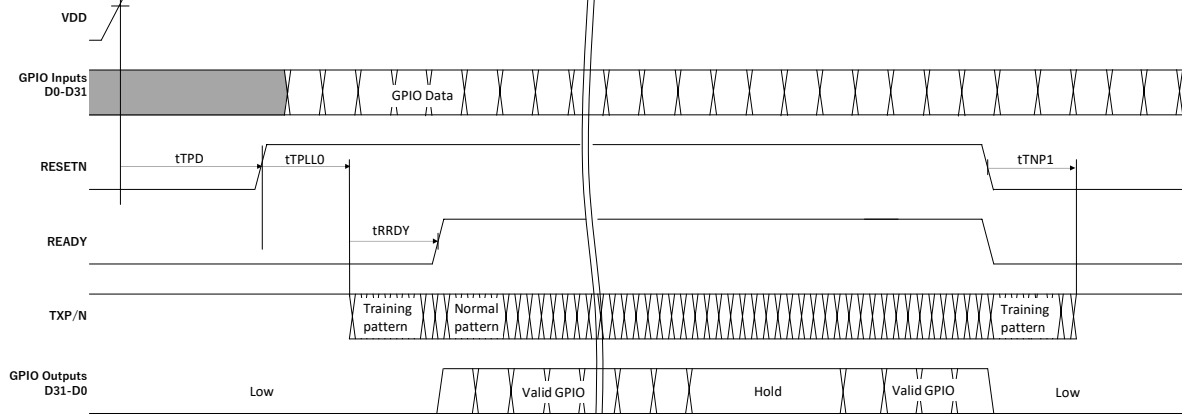


SYNC モード

Primary Chip

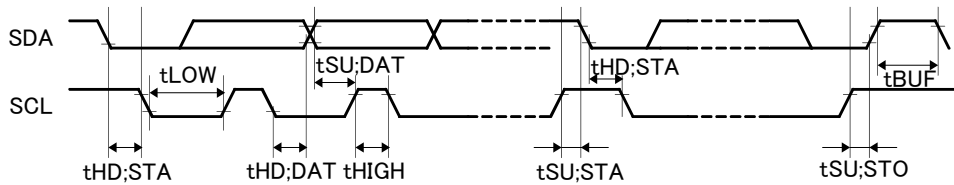


Secondary Chip



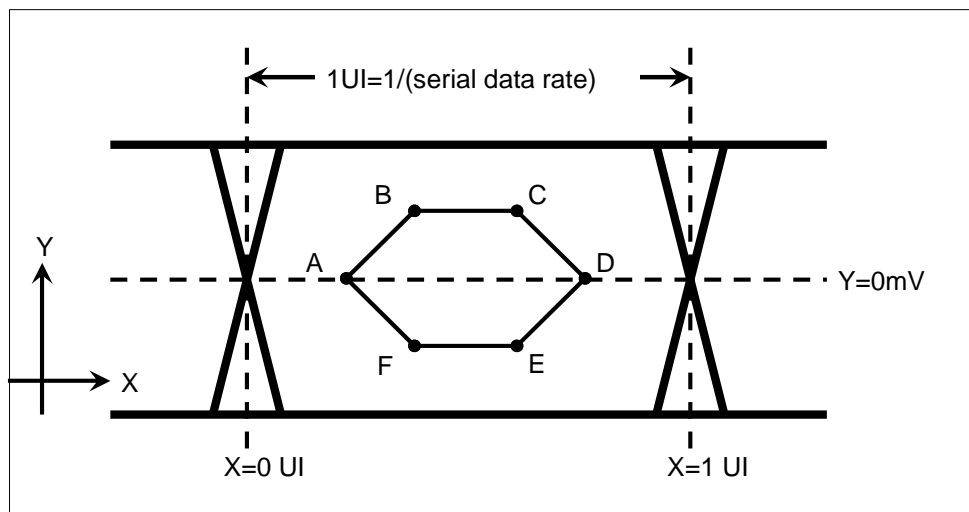
8.6. 2線シリアルインタフェース DC/AC 特性

記号	パラメータ	条件	最少	標準	最大	単位
VIL	Lowレベル入力電圧	-	0	-	0.30 VDD	V
VIH	Highレベル入力電圧	-	0.7 VDD	-	-	V
VOL	Lowレベル出力電圧	$1.7V \leq VDD \leq 3.6V$ $IOL=2mA$	0.00	-	0.26	V
I_i	端子毎入力電流	-	-10	-	+10	μA
fSCL	SCLクロック周波数	-	0	-	1000	kHz
tSU;STA	セットアップ時間 (REPAETED) STARTコンディション	fSCL>400kHz	0.26	-	-	μs
		fSCL \leq 400kHz	0.6	-	-	μs
tHD;STA	ホールド時間 (REPAETED) STARTコンディション	fSCL>400kHz	0.46	-	-	μs
		fSCL \leq 400kHz	0.8	-	-	μs
tLOW	SCLクロック Low 周期	fSCL>400kHz	0.5	-	-	μs
		fSCL \leq 400kHz	1.3	-	-	μs
tHIGH	SCLクロック High 周期	fSCL>400kHz	0.26	-	-	μs
		fSCL \leq 400kHz	0.6	-	-	μs
tHD;DAT	データホールド時間	-	0	-	-	μs
tSU;DAT	データセットアップ時間	fSCL>400kHz	50	-	-	ns
		fSCL \leq 400kHz	100	-	-	ns
tSU;STO	STOPコンディションのセットアップ時間	fSCL>400kHz	0.26	-	-	μs
		fSCL \leq 400kHz	0.6	-	-	μs
tBUF	STOP-STARTコンディション間のバスフリース時間	fSCL>400kHz	0.5	-	-	μs
		fSCL \leq 400kHz	1.3	-	-	μs
tr	SDA, SCLの立ち上がり時間	-	-	-	300	ns
tf	SDA, SCLの立ち下がり時間	-	-	-	300	ns



9. CML ラインアイダグラム

9.1. CML 入力アイダグラム



	X[UI]	Y[mV]
A	0.25	0
B	0.3	50
C	0.7	50
D	0.75	0
E	0.7	-50
F	0.3	-50

10. 機能

10.1. 機能概要

THCS253 は、高速 CML シリアルイザ[®]・デシリアルイザ[®]を 1 チップ[®] に集積し、最大 32 ビットの[®] パラレル GPIO 信号と 2 線シリアルインタフェースを、最小限の外部部品で 2 ペアの差動信号により全二重通信にて集約・分散することが可能な製品です。低消費電力のスタンバイモード[®] では、最大 8 ビットの低速 GPIO 信号と 2 線シリアルインタフェースをサポートします。また、内部発振器モード[®] では水晶発振器などの外部クロックジェネレータを必要としません。THCS253 を 2 個使用することで、2 線式シリアルインタフェースや GPIO を介して周辺機器の監視・制御を行うことができます。また、通信エラーが発生した場合、GPIO 信号を保持し、割り込み信号で報告します。

10.2. 電源供給

10.2.1. 内部レギュレータ出力/入力機能 (CAPOUT、CAPINA、CAPINP)

内部レギュレータは、内部使用目的にのみ 1.2V (CAPOUT) を生成します。他の外部負荷には使用しないでください。電源端子として CAPOUT を 10 μ F で GND にバypassしてください。AVDD は 10 μ F 以上で GND にバypassしてください。

CAPINP および CAPINA は、内部アナログ回路の基準電圧を供給します。高周波ノイズを低減するため、CAPINP/CAPINA は電源端子として 0.1 μ F で GND にバypassしてください。CAPOUT、CAPINA、CAPINP は下図のように結線してください

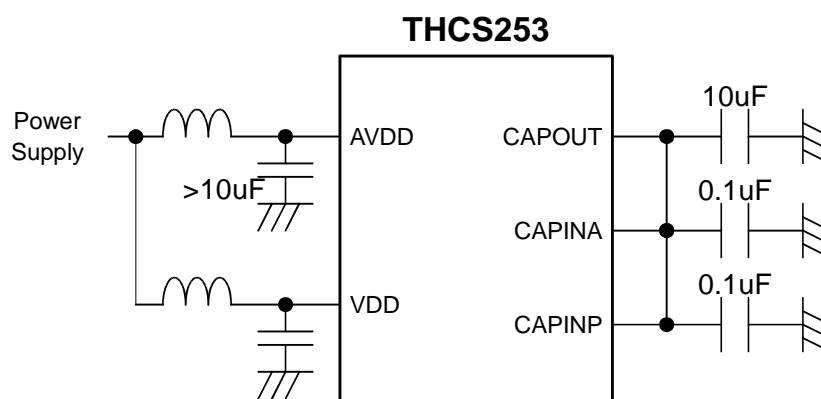


Figure 1 Connection of CAPOUT, CAPINA, CAPINP and decoupling capacitor

10.3. チップ動作状態

リセットや OE、スタンバイなど THCS253 の消費電力にかかわる基本動作状態。

Table 4 動作モード設定

動作モード	設定				動作説明
	RESETN (端子)	ENI2CO (端子)	STANDBY (レジスタ)	OE*1 (端子)	
リセット	0	-	-	-	非同期リセット状態 2 線シリアルインタフェース無効 全ての出力端子が Hi-Z
ノーマル (2 線シリアルインタフェース無効)	1	0	0	0	ノーマル動作 2 線シリアルインタフェース無効 GPIO 全端子 Hi-Z
	1	0	0	1	ノーマル動作 2 線シリアルインタフェース無効 GPIO 通常動作
ノーマル (2 線シリアルインタフェース有効)	1	1	{0}	0	ノーマル動作 2 線シリアルインタフェース有効 GPIO 全端子 Hi-Z
	1	1	{0}	1	ノーマル動作 2 線シリアルインタフェース有効 GPIO 通常動作
スタンバイ	1	1	{1}	0	低消費電力/低周波数サンプリングレート動作 2 線シリアルインタフェース有効 GPIO 8bit Hi-Z
	1	1	{1}	1	低消費電力/低周波数サンプリングレート動作 2 線シリアルインタフェース有効 GPIO 8bit 低速通信有効

*1 OVERRIDE_OEN(レジスタ)={1} 選択時、OE(端子)状態は無効となります。

10.4. チップ動作モード

10.4.1. チップ構成

THCS253 は Primary chip モードと Secondary chip モードの 2 つのモードを PSSEL 端子で選択します。

Primary chip モードと Secondary chip モードの 1 対で接続して使用します。

Table 5 プライマリチップ・セカンダリチップ選択

PSSEL (端子)	動作説明
0	プライマリチップモード
1	セカンダリチップモード

10.4.2. 動作クロックモード選択

THCS253 は、セカンダリチップモード時の SYNCEN 端子選択により、ダウンストリームとアップストリームの同期／非同期動作を選択します。

同期モード

プライマリチップは自身のクロックによってデータサンプリングします。セカンダリチップは、デシリアイザによって生成された CDR (クロックデータリカバリ) クロックによってデータサンプリングし、ダウンストリームとアップストリームは同期動作します。

非同期モード

プライマリチップ／セカンダリチップ双方のクロックでデータサンプリングし、ダウンストリームとアップストリームは非同期動作します。

Table 6 ダウンストリーム・アップストリーム同期動作選択

セカンダリチップの SYNCEN (端子)	動作説明
0	非同期モード：双方のクロックで動作
1	同期モード：プライマリチップのクロックで動作

10.4.3. 動作クロック選択

THCS253 は、入力データのサンプリングとシリアライザ/デシリアライザ駆動に使用するクロックを選択出来ます。

Table 7 動作クロック選択

REFEN (端子)	動作説明
0	内部発振器クロックモード：20M/40M/80MHz を選択可能
1	外部基準クロックモード：9-133MHz の範囲で入力可能

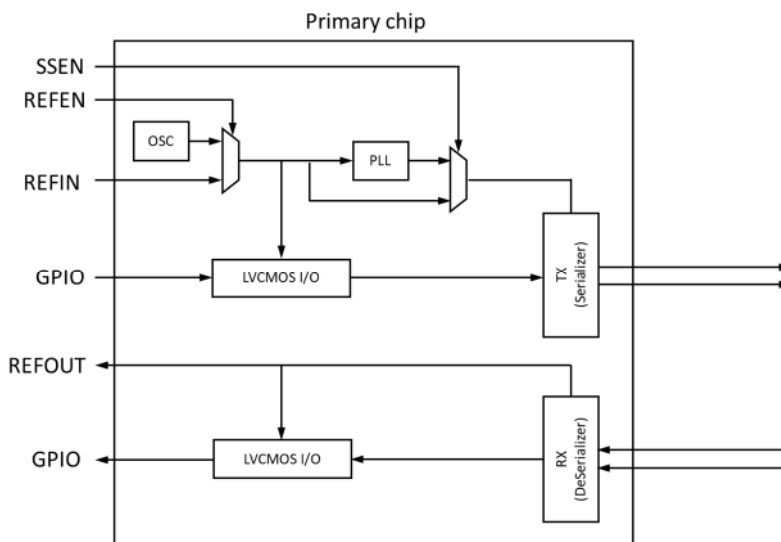


Figure 2 プライマリチップのクロックツリーダイアグラム

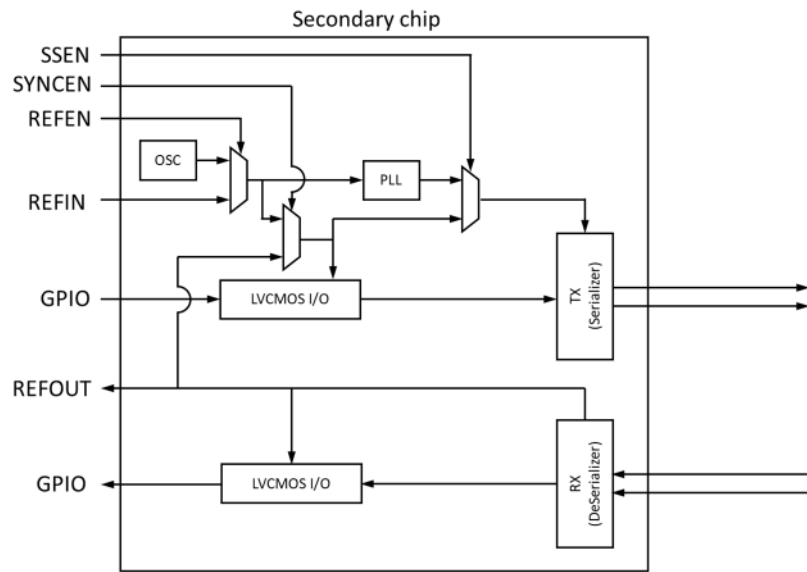


Figure 3 セカンドリチップのクロックツリーダイアグラム

10.4.4. 動作モードの組合せ

THCS253 の差動信号伝送動作は、PSSEL 端子、REFEN 端子、SYNCEN 端子組み合わせで決定します。

ダウン/アップ 非同期モード (セカンダリチップの SYNCEN=0) / 外部基準モード (REFEN=1)

プライマリチップ / セカンダリチップ それぞれの REFEN 入力でサブリンクし駆動する。

プライマリチップ / セカンダリチップ はそれぞれ異なる周波数を入力可能。

ダウンストリームとアップストリームはそれぞれの REFEN 入力に同期した取込みと出力が可能。

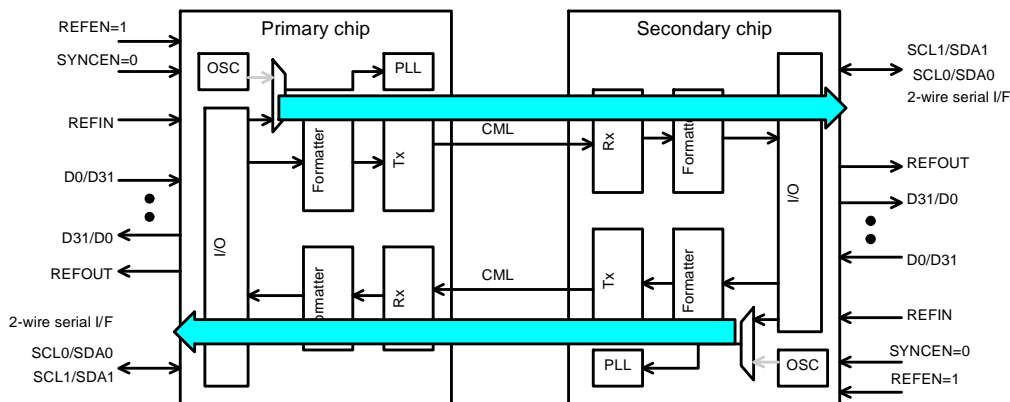


Figure 4 ASYNC_MODE / Ext.REF_MODE Block diagram

ダウン/アップ 非同期モード (セカンダリチップの SYNCEN=0) / 内部発振器モード (REFEN=0)

プライマリチップ / セカンダリチップ それぞれの内蔵発振器で駆動しサブリンクを行う。

OSCSEL[1:0] 端子設定により 20/40/80MHz から選択可能。

プライマリチップ / セカンダリチップ の内蔵発振器は異なる周波数を選択可能。

内蔵発振器によるサブリンクなので入力データは全て非同期取込み。出力データは REFOUT と同期。

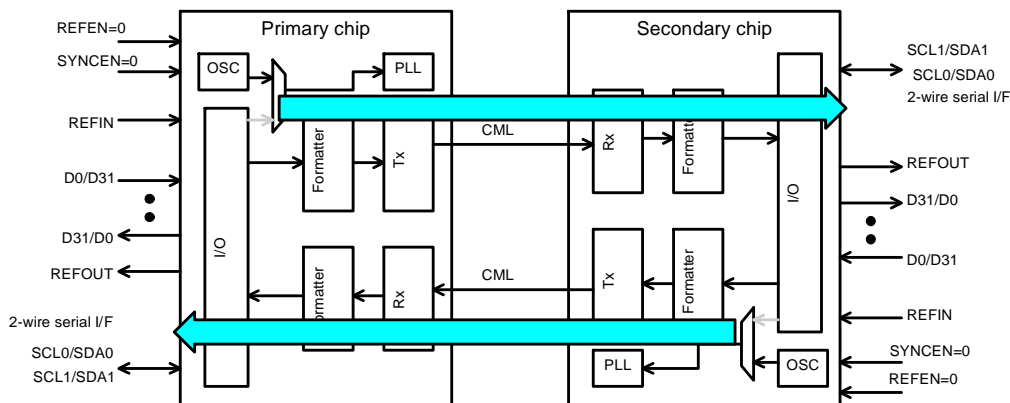


Figure 5 ASYNC_MODE / Int.OSC_MODE Block diagram

ダウン/アップ 非同期モード (セカンダリチップの SYNCEN=0) / 外部基準モード (REFEN=1) & 内部発振器モード (REFEN=0)
 プライマリチップ もしくはセカンダリチップ どちらかの REFIN 入力でサンプルリングし駆動する。

プライマリチップ / セカンダリチップ どちらかは内蔵発振器で駆動しサンプルリングを行う。

OSCSEL[1:0]端子設定により 20/40/80MHz から選択可能。

外部基準クロック駆動側は REFIN 入力同期した取込みと出力が可能。

内蔵発振器駆動リンク側全て非同期取り込み。出力データは REFOUT と同期。

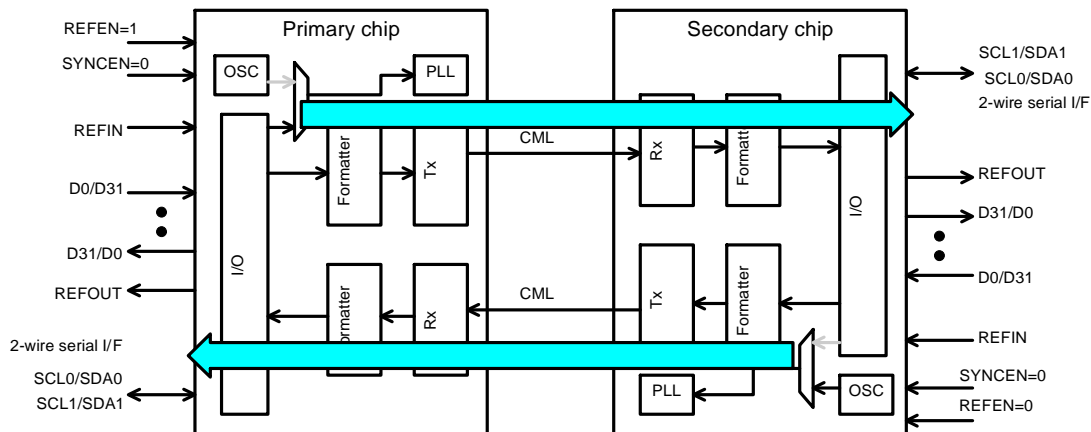


Figure 6 ASYNC_MODE / Ext. REF_MODE & Int. OSC_MODE Block diagram

ダウン/アップ 同期モード (セカンダリチップの SYNCEN=1) / 外部基準モード (REFEN=1)

プライマリチップ への REFIN のみで駆動しサンプルリングを行う。(セカンダリチップの REFIN への入力不要/禁止)
 セカンダリチップ はレシーバで再生されたクロックをデータサンプルリング及びトランスミッタの駆動に使用する。

下りリンクは REFIN に対して同期取込、同期出力。

上りリンクは再生クロックでのサンプルリングとなるため、非同期取り込み。

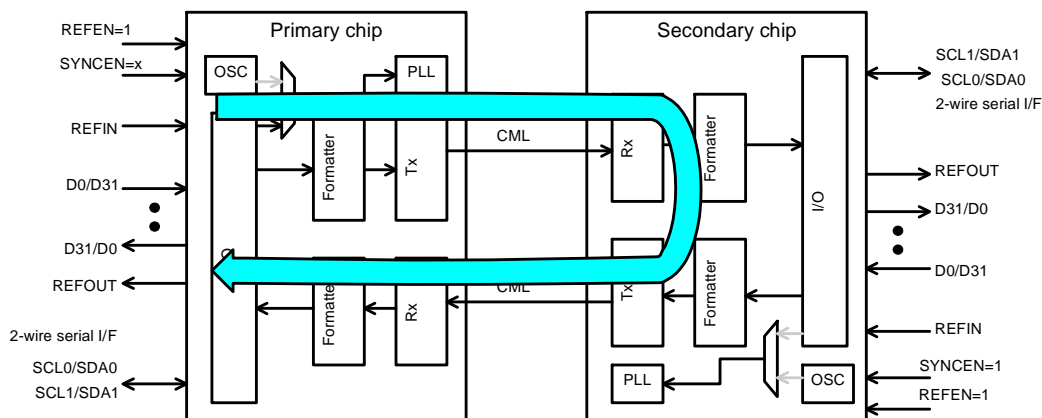


Figure 7 SYNC_MODE / Ext. REF_MODE Block diagram

ダウン/アップ同期モード（セカンダリチップの SYNCEN=1） / 内部発振器モード（REFEN=0）

プライマリチップの内蔵発振器でサブリンクし駆動します。

OSCSEL[1:0]端子設定により 20/40/80MHz から選択可能。

セカンダリチップはレシーバで再生されたクロックをデータサブリンク及びトランスミッタの駆動に使用する。

内蔵発振器クロックでのサブリンクとなるため入力データは全て非同期取り込み。出力データは REFOUT と同期。

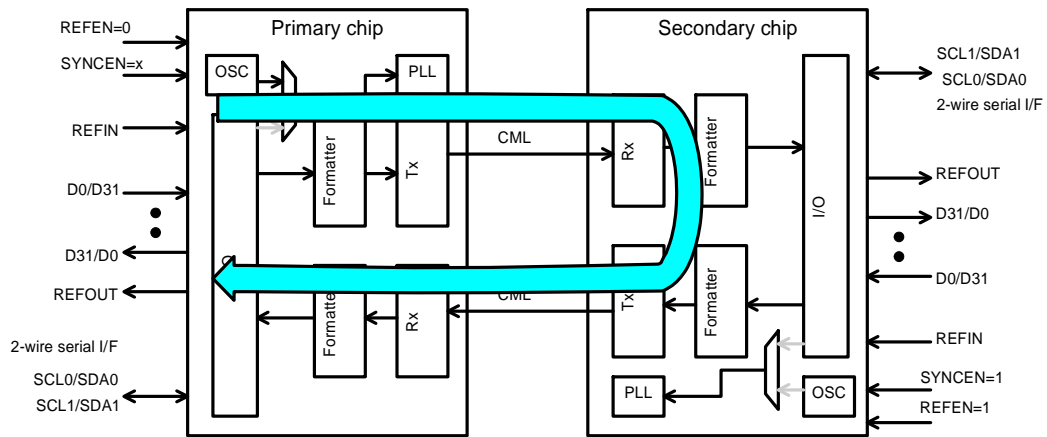


Figure 8 SYNC_MODE / Int. OSC_MODE Block diagram

10.5. バイモード設定と周波数範囲

THCS253 は DATA_WIDTH (端子) 選択によりトランスミッタとレシーバの動作バイモード (3 バイトか 5 バイト) を切替えます。それぞれのバイモードにおける REFEN (端子) =1 の場合の外部基準クロック周波数及び、REFEN (端子) =0 の場合の OSCSEL[1:0] (端子) 設定による動作周波数を以下に示します。

Table 8 DATAWIDTH 選択と外部基準クロック周波数範囲

DATA_WIDTH (端子)	REFIN 周波数範囲	CML ラインレート
0	15~133MHz	450Mbps~4Gbps
1	9~80MHz	

Table 9 DATAWIDTH 選択と OSCSEL[1:0] 選択

RF_OUT/OSCSEL1 (端子)	RF_IN/OSCSELO (端子)	DATA_WIDTH (端子)	OSC 周波数	差動ラインレート
0	0	0	20MHz ± 20%	480Mbps ~ 720Mbps
		1		800Mbps ~ 1200Mbps
0	1	0	40MHz ± 20%	960Mbps ~ 1440Mbps
		1		1600Mbps ~ 2400Mbps
1	0	0	40MHz ± 20%	960Mbps ~ 1440Mbps
		1		1600Mbps ~ 2400Mbps
1	1	0	80MHz ± 20%	1920Mbps ~ 2880Mbps
		1		設定禁止

10.6. 2 線シリアルインタフェース

10.6.1. 2 線シリアルインタフェース設定

THCS253 は 2 線シリアルインタフェースを 2 系統搭載 (I2C0 : SDA0/SCL0、I2C1:SDA1/SCL1)

Table 10 2 線シリアルインタフェース有効無効設定

ENI2C0(端子)	ENI2C1(レジスタ)	I2C0 (SCL0/SDA0)	I2C1 (SCL1/SDA1)
0	-	無効	無効
1	0 *デフォルト	有効	無効
	1	有効	有効

プライマリチップモード / セカンダリチップモード 設定とは独立して 2 線シリアルコントローラ / ターゲットを選択可能。

Table 11 2 線シリアルインタフェースコントローラ / ターゲット選択

CTSEL_I2C(端子)	I2Cモード
0	ターゲット
1	コントローラ

I2C0 と I2C1 ではアクセス可能な範囲が異なります。

Table 12 2 線シリアルインタフェースアクセス範囲

	プライマリチップレジスタ	セカンダリチップレジスタ	リモートデバイスレジスタ
I2C0	アクセス可	アクセス可	アクセス可
I2C1	アクセス不可	アクセス不可	アクセス可

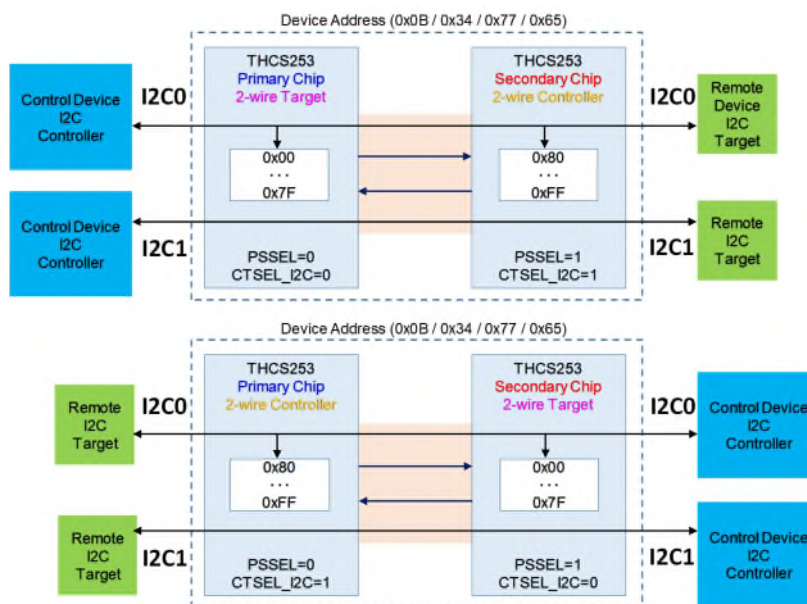


Figure 9 2 線シリアルインタフェースアクセス範囲

Table 13 PSSEL (端子) 選択と CTSEL_I2C (端子) 選択の組合せ

	プライマリチップ	セカンダリチップ	設定	内部レジスタアクセス	リモートデバイスレジスタアクセス
①	I2C ターゲット	I2C コントローラ	可	可 (Cdv→Pch→Sch) *	可 (Cdv→Pch→Sch→Rdv) *
②	I2C コントローラ	I2C ターゲット	可	可 (Pch←Sch←Cdv) *	可 (Rdv←Pch←Sch←Cdv) *
③	I2C ターゲット	I2C ターゲット	可	可 (Cdv→Pch/Sch←Cdv) *	不可
④	I2C コントローラ	I2C コントローラ	可	不可	不可

*Pch:プライマリチップ Sch:セカンダリチップ Cdv:コントロールデバイス Rdv:リモートデバイス

10.6.2. クロックストレッチング

THCS253 に接続する 2 線リアルコントローラデバイスはクロックストレッチングをサポートする必要があります。

THCS253 の 2 線リアルターゲット (コントロールデバイス側) から 2 線リアルコントローラ (リモートデバイス側) へのアクセスでは、8bit 毎にクロックストレッチが発生します。

クロックストレッチ期間の計算：

$$(THCS253 \text{ 内レイテンシ}) + (\text{リモートデバイスへの WRITE 時間}) + (\text{リモートデバイス反応時間_ACK/READ DATA}) \text{ [ns]}$$

$$(\text{tDCP} \times 70 + 350) + (\text{I2C Controller Bit Rate} \times 8) + \text{リモートデバイス側反応時間 [ns]}$$

*I2CPERIOD[0:1]レジスタにて設定可能 (デフォルトは 100kHz)

$$\text{実効 I2C 周波数} = 1 / (\text{クロックストレッチ期間} + \text{SCL 周期})$$

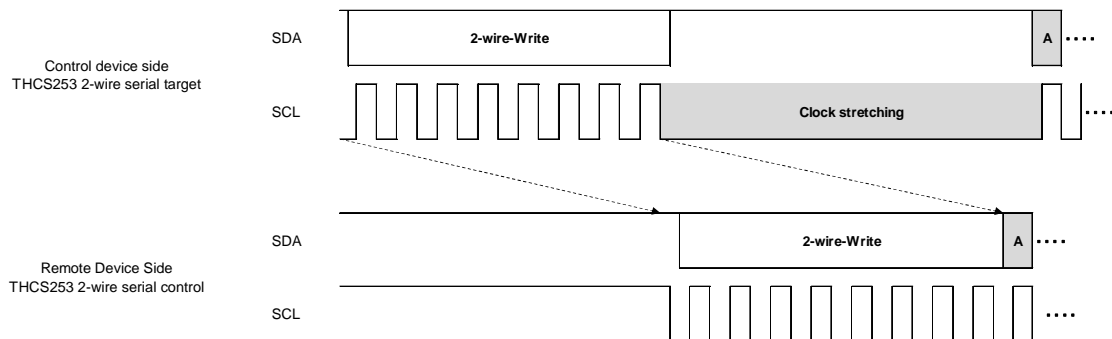


Figure 10 2 線リアルブリッジ通信時のクロックストレッチング

10.6.3. デバイス ID

THCS253 のレジスタにアクセスするためには、IDSEL1 (端子) と IDSEL0 (端子) を設定し、デバイスアドレスを選択する必要があります。デバイスアドレスは CTSEL_I2C=0 に設定された 2 線シリアルターゲット側のみ設定が必要です。IDSEL1、IDSEL0 で設定したデバイスアドレスはリモートデバイスのデバイスアドレスとして使用することはできません。

Table 14 Device ID setting

設定		Device ID [6:0] (HEX) / (BIN)
IDSEL1 (端子)	IDSEL0 (端子)	
0	0	0x0B / 000_1011
0	1	0x34 / 011_0100
1	0	0x77 / 111_0111
1	1	0x65 / 110_0101

10.6.4. 2 線シリアルコントローラ/ターゲットレジスタアドレス領域

THCS253 は、2 線シリアルターゲット (コントロールデバイス側) と 2 線シリアルコントローラ (リモートデバイス側) とを識別します。2 線シリアルターゲット (コントロールデバイス側) と 2 線シリアルコントローラ (リモートデバイス側) のアドレス領域の境界をまたぐバーストアクセスは禁止されています。

Table 15 Register address configuration

レジスタアドレス	説明
0x00 - 0x7F	2 線シリアルターゲット (コントロールデバイス側) レジスタ
0x80 - 0xFF	2 線シリアルコントローラ (リモートデバイス側) レジスタ

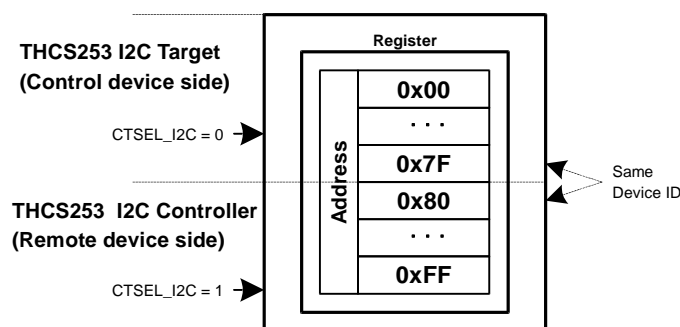


Figure 11 Register address mapping

10.6.5. 2線シリアルコントローラ SCL 周波数

CTSEL_I2C=1 設定の 2 線シリアルコントローラは SCL 周波数をレジスタで設定可能です。デフォルトは 100kbps です。

Table 16 2-wire serial bitrate setting

レジスタアドレス	レジスタ名	説明
0x26	I2CPERIOD0	2 線シリアルコントローラのビットレート設定 (SCL0) 10,000/I2CPERIOD0 kbps
0x27	I2CPERIOD1	2 線シリアルコントローラのビットレート設定 (SCL1) 10,000/I2CPERIOD0 kbps

10.6.6. 2線シリアルインタフェース_ウォッチドッグタイマ設定

THCS253 の 2 線シリアルインタフェースは、外部要因など何らかの原因で通信が停止し、内部ステートが進まなくなる状態が続くと内部ステートをリセットするウォッチドッグタイマ機能が搭載されています。ウォッチドッグタイマが作動するまでの時間を内部レジスタにて設定可能です。

Table 17 2-wire serial interface watch Dog Timer setting

レジスタアドレス	ビット	レジスタ名	説明
0x28	7:4	I2C_WDT_STBY	2 線シリアルウォッチドッグタイマ (スタンバイ中) 0:無効/50ms~1650s
	3:0	I2C_WDT	2 線シリアルウォッチドッグタイマ (ノーマルモード中) コントローラ 0:無効/0.0123ms~403ms ターゲット 0:無効/0.0246ms~806ms

10.6.7. 2線シリアルインタフェース経由 THCS253 内部レジスタアクセスプロトコル

THCS253 の 2 線シリアルインタフェースプロトコルには以下に示す (1) 2 線シリアルターゲットレジスタアクセス、(2) 2 線シリアルコントローラアクセス、(3) 2 線シリアルリモートデバイスアクセスの 3 種類があります。

(1) 2 線シリアルターゲットレジスタアクセス

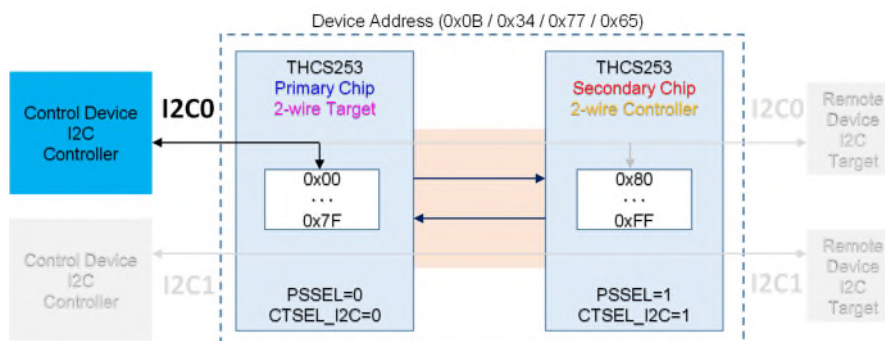
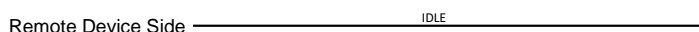
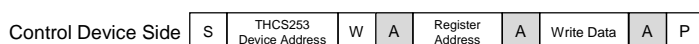


Figure 12 2-wire serial target register access

S	Start condition	R	Read command
P	Stop condition	W	Write command
A	ACK		Access from 2-wire serial Controller of Control Device
A̅	NACK		Access from 2-wire serial Target of Remote Device
Sr	Repeated start condition		Access from THCS253

Single Byte write



Burst write

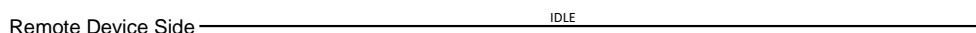
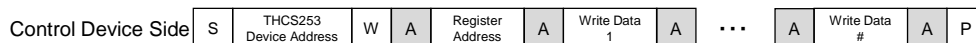
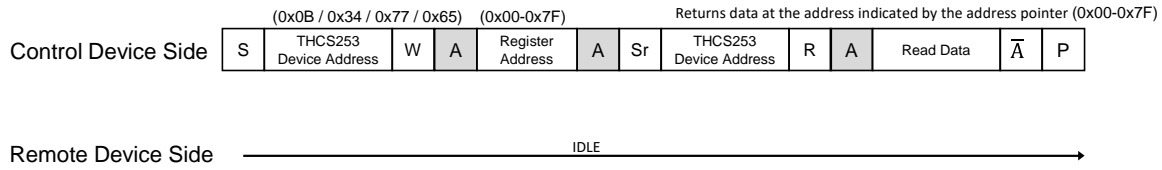
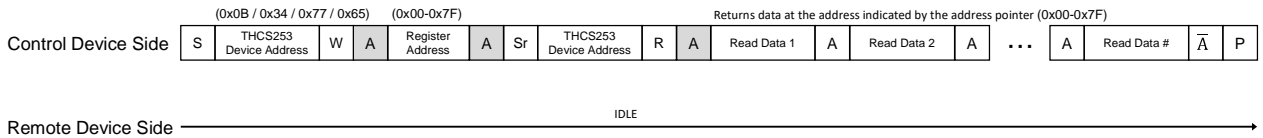


Figure 13-1 2-wire serial target register access protocol

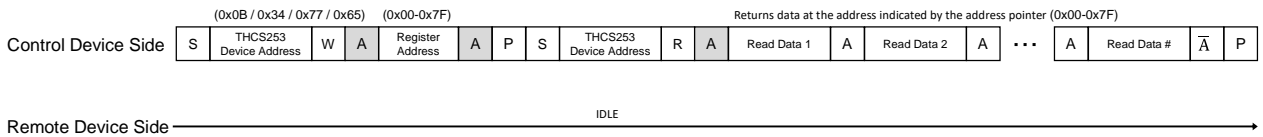
Single Byte read with repeated start command



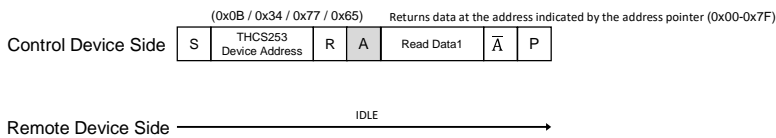
Burst read with repeated start command



Burst read with stop and start command



Single Byte read without repeated start condition



Burst read without repeated start condition

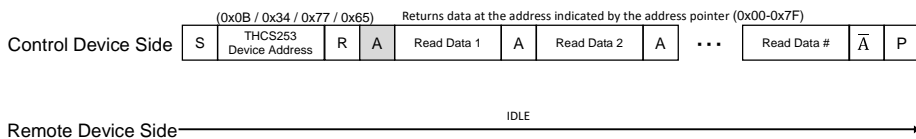


Figure 14-2 2-wire serial target register access protocol

(2) 2線シリアルコントローラレジスタアクセス

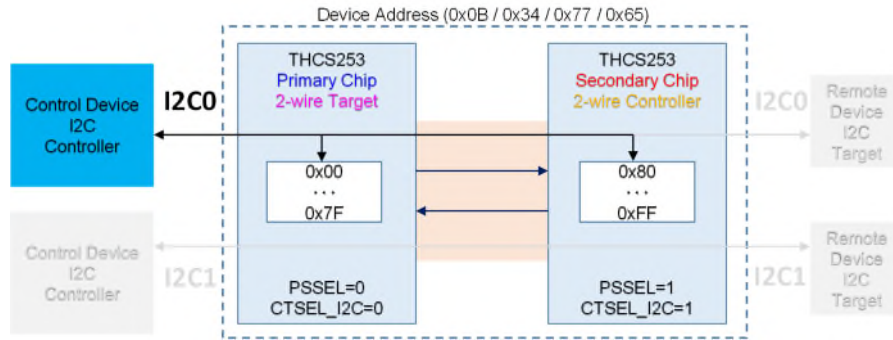
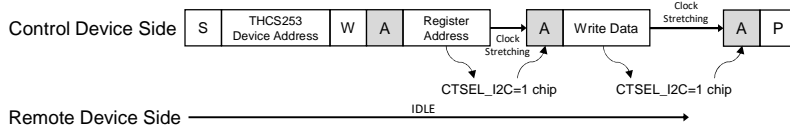


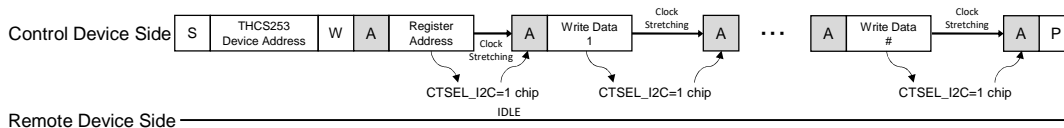
Figure 15 2-wire serial controller register access

- | | |
|--------------------------|--|
| Start condition | Read command |
| Stop condition | Write command |
| ACK | Access from 2-wire serial Controller of Control Device |
| NACK | Access from 2-wire serial Target of Remote Device |
| Repeated start condition | Access from THCS253 |

Single Byte write



Burst write



Single Byte read with repeated start command

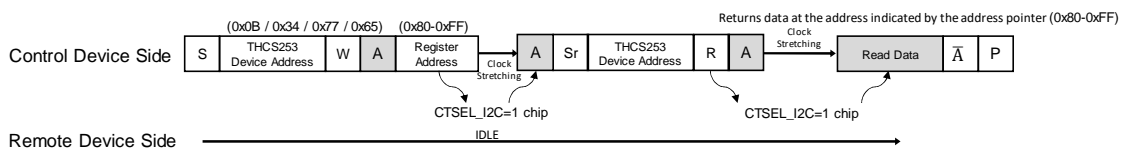
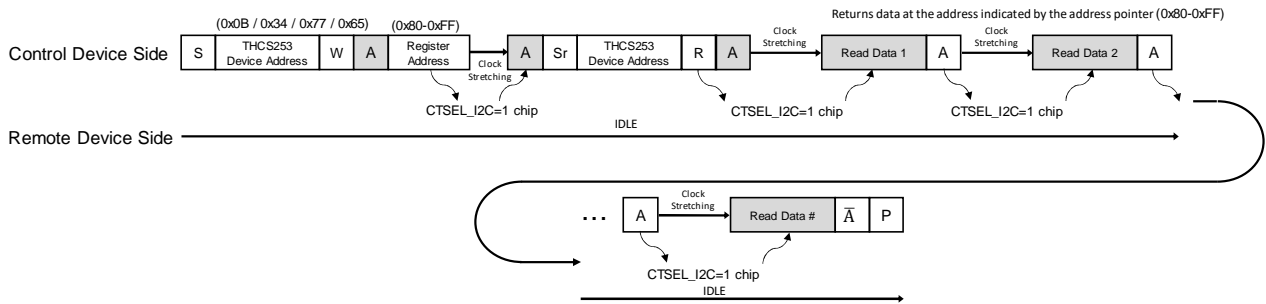
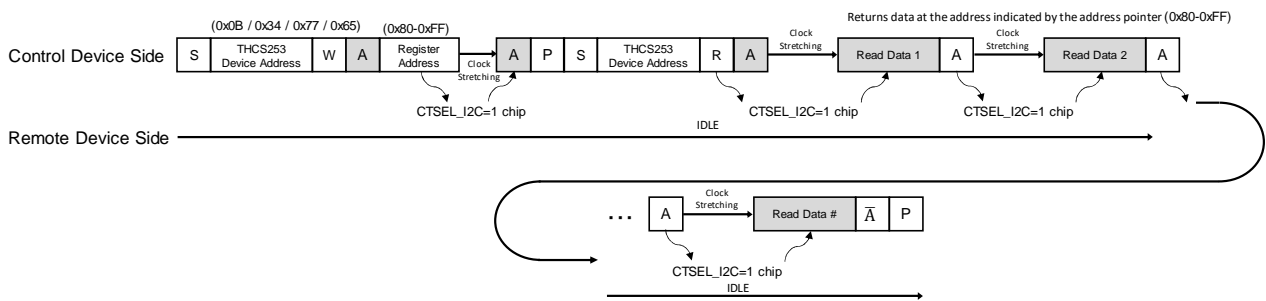


Figure 16-1 2-wire serial controller register access protocol

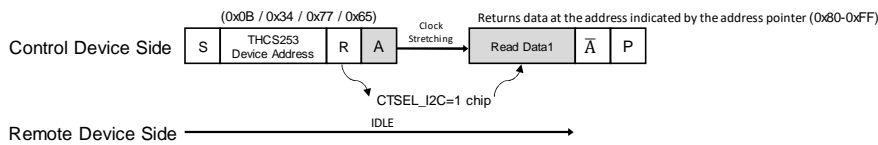
Burst read with repeated start command



Burst read with stop and start command



Single Byte read without repeated start condition



Burst read without repeated start condition

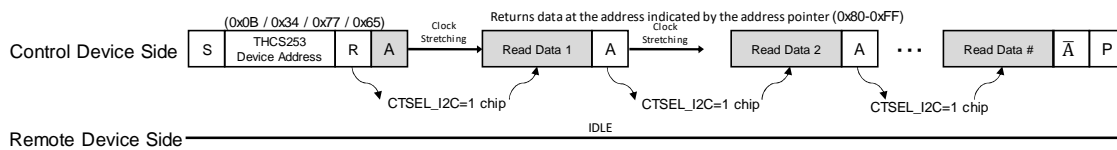


Figure 17-2 2-wire serial controller register access protocol

(3) 2線シリアルリモートデバイスアクセス ※一部、THCS253 へのアクセスを含みます。

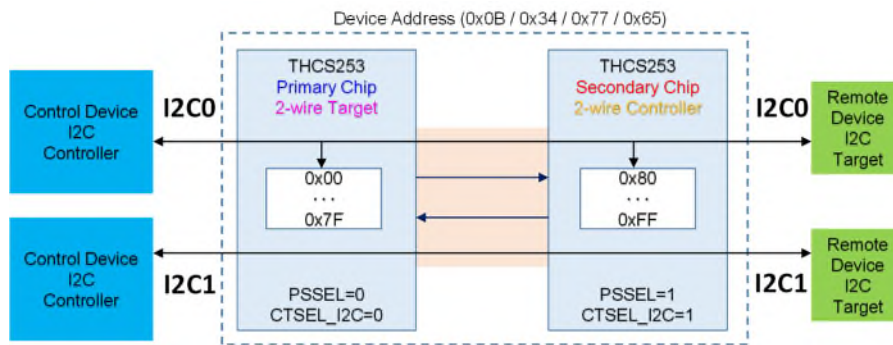
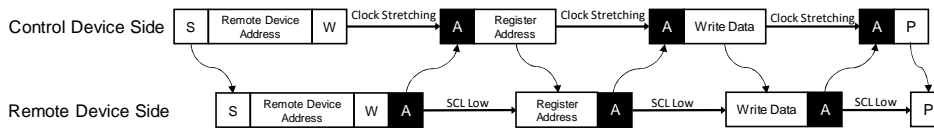


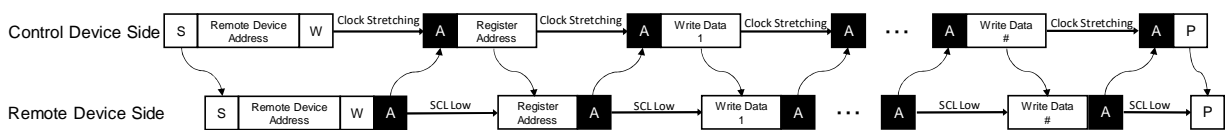
Figure 18 2-wire serial remote device access

Start condition	Read command
Stop condition	Write command
ACK	Access from 2-wire serial Controller of Control Device
NACK	Access from 2-wire serial Target of Remote Device
Repeated start condition	Access from THCS253

Single Byte write



Burst write



I2C detect write command

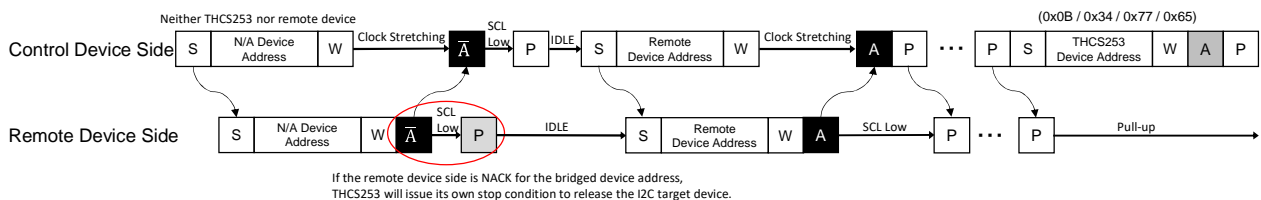
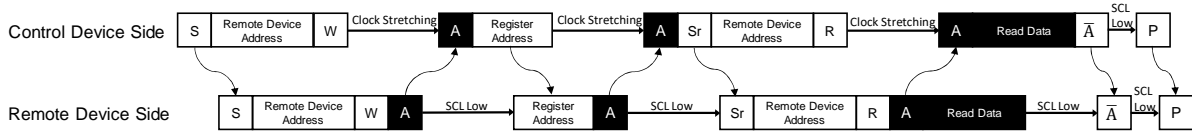
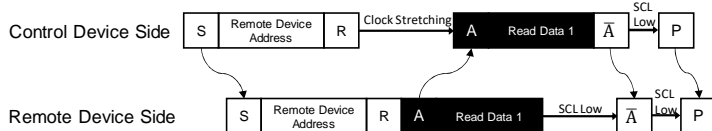


Figure 19-1 2-wire serial remote device access protocol

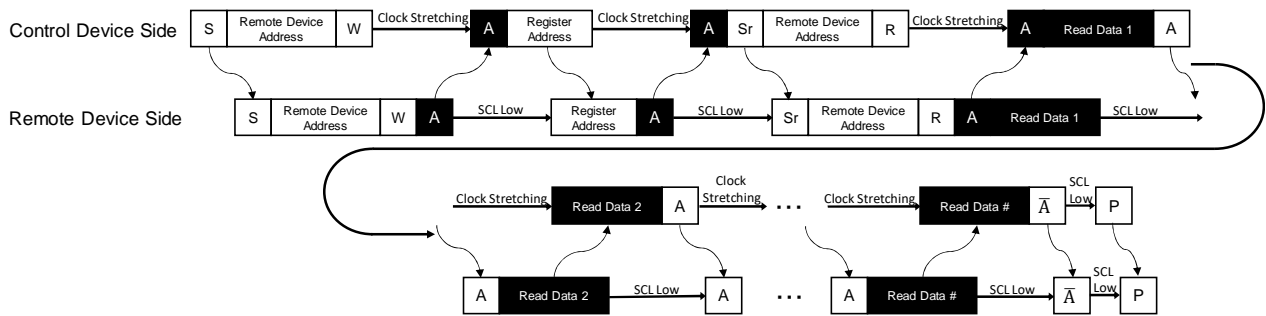
Single Byte read with repeated start condition



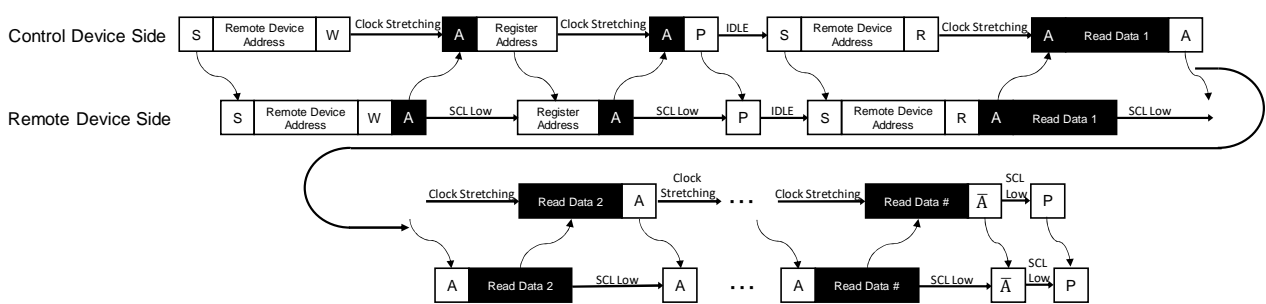
Single Byte read without repeated start condition



Burst read with repeated start condition



Burst read with stop and start condition



Burst read without repeated start condition

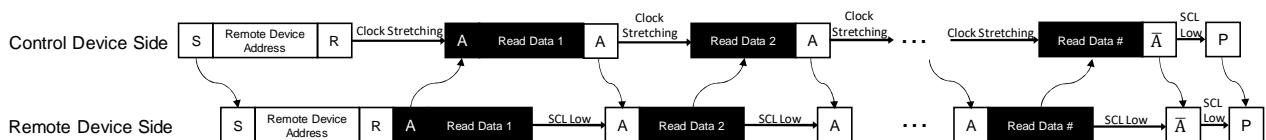
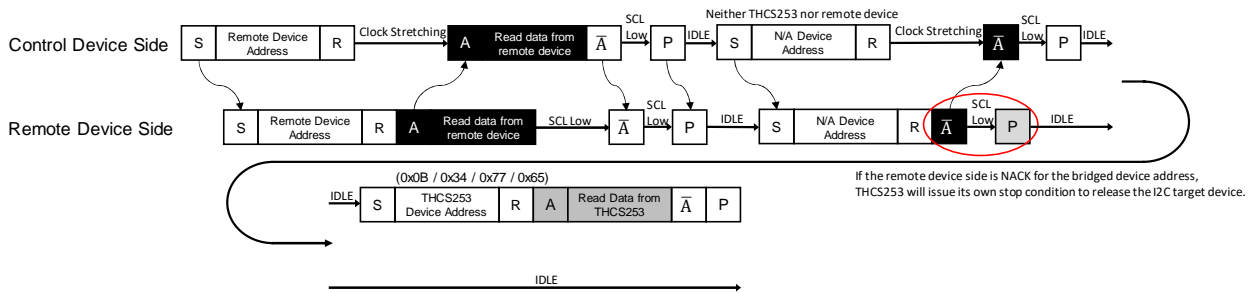
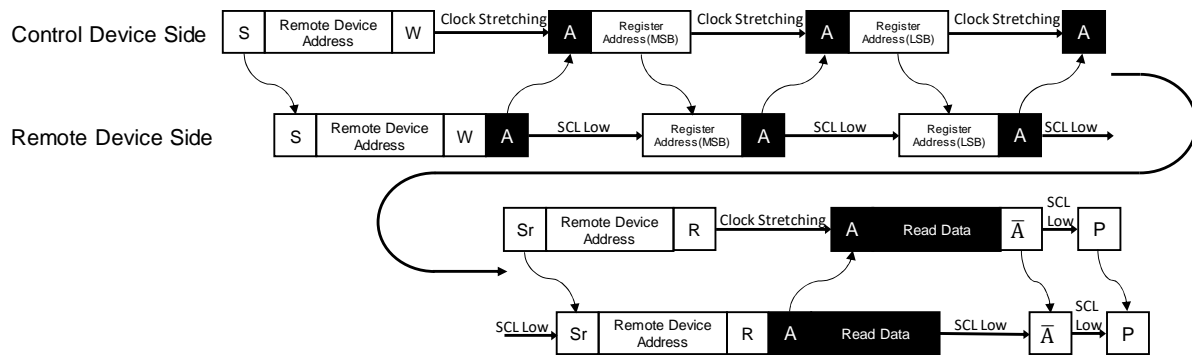


Figure 20-2 2-wire serial remote device access protocol

I2C detect read command



2Byte addressing device read with repeated start condition



2Byte addressing device read with stop and start condition

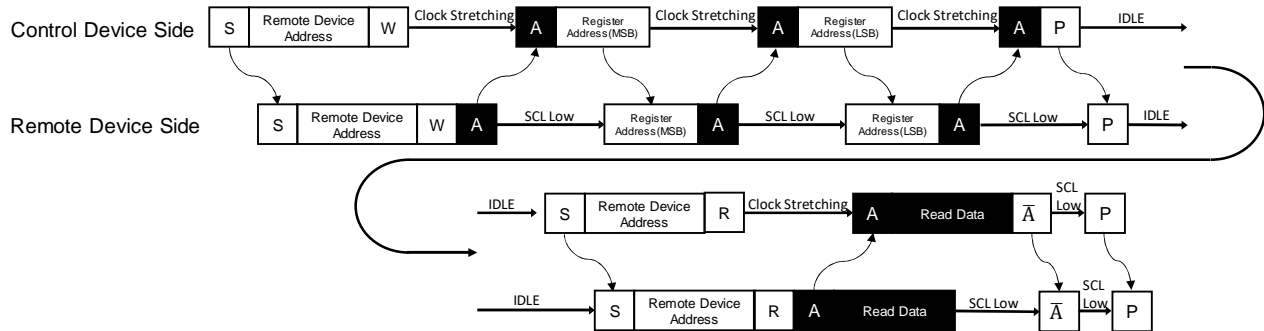


Figure 21-3 2-wire serial remote device access protocol

10.6.8. 2線シリアルエクスパンダ機能

I2C_EXPAND (レジスタ) 設定で、データ伝送をスルーで行うか、I2C エクスパンダとして使うかを設定します。I2C エクスパンダとして使用する場合、GPIO_OUT_*(0~3) に設定された値がデータ端子から出力されます。出力バッファの設定は GPIO_OBUF_*(0~3) の設定が有効となります。また、I2C_EXPAND の設定によらず、データ入力は GPIO_IN_*(0~3) に格納され、I2C リードによって確認することも可能です。上記機能は I2C 使用時 (ENI2C0=1) のときのみ使用可能です。

Table 18 GPIOタイプ設定

機能	レジスタ名	動作説明
GPIO 機能選択	I2C_EXPAND	0: Through (Default) 1: I2C Expander

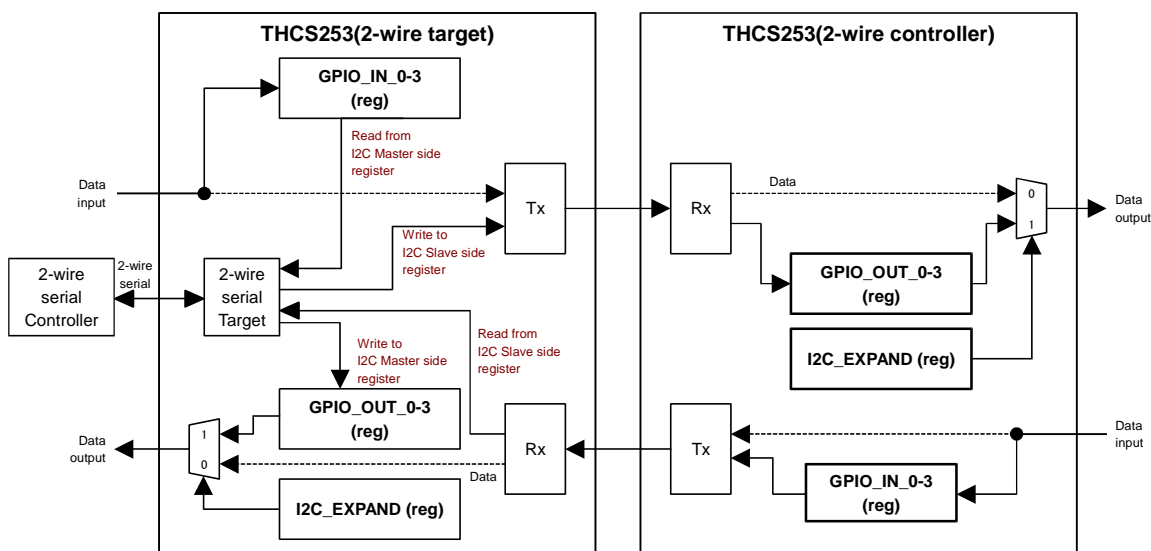


Figure 22 2線シリアルエクスパンダ機能

10.7. GPIO の方向

DATA_WIDTH(端子)=0 の時、CML ラインデーターはチップ リング クロックの 30 週倍となります。

DATA_WIDTH(端子)=1 の時、CML ラインデーターはチップ リング クロックの 50 週倍となります。

※ プライマリチップ とセカンダリチップ の DATA_WIDTH (端子) は同じ設定とする必要があります。

プライマリチップ トランスミッタ出力からセカンダリチップ レシーバ 入力の流れをダウンストリームと定義。

セカンダリチップ トランスミッタ出力からプライマリチップ レシーバ 入力の流れをアップ ストリームと定義。

OVERRIDE_OEN (レジスタ) を 1 にすることで、GPIO 方向を端子毎に自由に設定することが出来ます。

Table 19 使用例毎の GPIO の方向

使用例		A-1	A-2	B-1	B-2	
起	DATA_WIDTH(端子)	0	0	1	1	
終	OVERRIDE_OE (レジスタ)	0	1	0	1	
モ	CML ラインデーター	外部基準クロックモード 1/tTCIPx30 内部発振器クロック 1/tOSCx30		外部基準クロックモード 1/tTCIPx50 内部発振器クロック 1/tOSCx50		
プライマリチップ モードのターゲット端子	D0/D31/SDA1 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D31/D0 (端子)
	D1/D30/SCL1 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D30/D1 (端子)
	D2/D29 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D29/D2 (端子)
	D3/D28 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D28/D3 (端子)
	D4/D27 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D27/D4 (端子)
	D5/D26 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D26/D5 (端子)
	D6/D25 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D25/D6 (端子)
	D7/D24 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D24/D7 (端子)
	D8/D23 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D23/D8 (端子)
	D9/D22 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D22/D9 (端子)
	D10/D21 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D21/D10 (端子)
	D11/D20 (端子)	=>	=> ^{*2}	=>	<=> ^{*1}	D20/D11 (端子)
	D12/D19 (端子)	=>	<=> ^{*1}	=>	<=> ^{*1}	D19/D12 (端子)
	D13/D18 (端子)	=>	<=> ^{*1}	=>	<=> ^{*1}	D18/D13 (端子)
	D14/D17 (端子)	=>	<=> ^{*1}	=>	<=> ^{*1}	D17/D14 (端子)
	D15/D16 (端子)	=>	<=> ^{*1}	=>	<=> ^{*1}	D16/D15 (端子)
	D16/D15 (端子)	<=>	<=> ^{*1}	=>	<=> ^{*1}	D15/D16 (端子)
	D17/D14 (端子)	<=>	<=> ^{*1}	=>	<=> ^{*1}	D14/D17 (端子)
	D18/D13 (端子)	<=>	<=> ^{*1}	=>	<=> ^{*1}	D13/D18 (端子)
	D19/D12 (端子)	<=>	<=> ^{*1}	=>	<=> ^{*1}	D12/D19 (端子)
	D20/D11 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D11/D20 (端子)
	D21/D10 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D10/D21 (端子)
	D22/D9 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D9/D22 (端子)
	D23/D8 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D8/D23 (端子)
	D24/D7 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D7/D24 (端子)
	D25/D6 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D6/D25 (端子)
	D26/D5 (端子)	<=>	<=> ^{*2}	=>	<=> ^{*1}	D5/D26 (端子)
	D27/D4 (端子)	<=>	<=> ^{*2}	<=>	<=> ^{*1}	D4/D27 (端子)
	D28/D3 (端子)	<=>	<=> ^{*2}	<=>	<=> ^{*1}	D3/D28 (端子)
	D29/D2 (端子)	<=>	<=> ^{*2}	<=>	<=> ^{*1}	D2/D29 (端子)
	D30/D1 (端子)	<=>	<=> ^{*2}	<=>	<=> ^{*1}	D1/D30/SCL1 (端子)
	D31/D0 (端子)	<=>	<=> ^{*2}	<=>	<=> ^{*1}	D0/D31/SDA1 (端子)

”=>” はダウンストリーム (プライマリチップ への GPIO 入力をセカンダリチップ から GPIO 出力する流れ)

”<=>” はアップ ストリーム (セカンダリチップ への GPIO 入力をプライマリチップ から GPIO 出力する流れ)

”<=>” は内部レジスタ設定により 1 端子ずつ方向性を選択出来る端子

*1 端子名で示すプライマリチップ とセカンダリチップ の端子関係に反する設定はできません。

*2 使用例 A-2 の場合は、“<=>” 以外の”=>”、“<=>” も表の通りにレジスタ設定する必要があります。

OVERRIDE_OEN (レジスタ) を 1 にすることで設定可能となる端子とレジスタの対応表を示す。

Table 20 GPIO OEN_0-3(レジスタ) mapping

レジスタ名	ビット	制御対象端子マッピング		説明
		プライマリチップ モード	セカンダリチップ モード	
GPIO_OEN_0 (レジスタ)	[0]	D0/D31/SDA1 (端子)	D31/D0 (端子)	GPIO 方向選択 {0}: 出力 {1}: 入力
	[1]	D1/D30/SCL1 (端子)	D30/D1 (端子)	
	[2]	D2/D29 (端子)	D29/D2 (端子)	
	[3]	D3/D28 (端子)	D28/D3 (端子)	
	[4]	D4/D27 (端子)	D27/D4 (端子)	
	[5]	D5/D26 (端子)	D26/D5 (端子)	
	[6]	D6/D25 (端子)	D25/D6 (端子)	
	[7]	D7/D24 (端子)	D24/D7 (端子)	
GPIO_OEN_1 (レジスタ)	[0]	D8/D23 (端子)	D23/D8 (端子)	
	[1]	D9/D22 (端子)	D22/D9 (端子)	
	[2]	D10/D21 (端子)	D21/D10 (端子)	
	[3]	D11/D20 (端子)	D20/D11 (端子)	
	[4]	D12/D19 (端子)	D19/D12 (端子)	
	[5]	D13/D18 (端子)	D18/D13 (端子)	
	[6]	D14/D17 (端子)	D17/D14 (端子)	
	[7]	D15/D16 (端子)	D16/D15 (端子)	
GPIO_OEN_2 (レジスタ)	[0]	D16/D15 (端子)	D15/D16 (端子)	
	[1]	D17/D14 (端子)	D14/D17 (端子)	
	[2]	D18/D13 (端子)	D13/D18 (端子)	
	[3]	D19/D12 (端子)	D12/D19 (端子)	
	[4]	D20/D11 (端子)	D11/D20 (端子)	
	[5]	D21/D10 (端子)	D10/D21 (端子)	
	[6]	D22/D9 (端子)	D9/D22 (端子)	
	[7]	D23/D8 (端子)	D8/D23 (端子)	
GPIO_OEN_3 (レジスタ)	[0]	D24/D7 (端子)	D7/D24 (端子)	
	[1]	D25/D6 (端子)	D6/D25 (端子)	
	[2]	D26/D5 (端子)	D5/D26 (端子)	
	[3]	D27/D4 (端子)	D4/D27 (端子)	
	[4]	D28/D3 (端子)	D3/D28 (端子)	
	[5]	D29/D2 (端子)	D2/D29 (端子)	
	[6]	D30/D1 (端子)	D1/D30/SCL1 (端子)	
	[7]	D31/D0 (端子)	D0/D31/SDA1 (端子)	

10.8. IO 構成

10.8.1. 入出力デジタルノイズフィルタ

THCS253 は GPIO 入力 (CMOS 入力ノイズ耐性) および出力 (CML ラインノイズ耐性) 用にデジタルノイズフィルタを備えており、FILTSEL1 (端子) および FILTSEL0 (端子) の設定により、デジタルノイズフィルタを一斉設定することができます。OVERRIDE_FILTEN (レジスタ) =1 として GPIO_I_FILTEN_0-3 (レジスタ)、GPIO_O_FILTEN_0-3 (レジスタ) の設定により、各 GPIO デジタルノイズフィルタを個別に有効化することが可能です。

また、GPIO_I_FILTSET (レジスタ)、GPIO_O_FILTSET (レジスタ) により入出力フィルタの段数を設定することができます。フィルタ段数の各端子個別設定はできません。

(tap_num-1)tFLTCK 以下のデータ幅がフィルタリングの対象となります。

Table 21 入力デジタルノイズフィルタ設定

設定				機能	Filter number of taps (tap_num)
OVERRIDE_I_FILTEN (レジスタ)	FILTSEL1 (端子)	FILTSEL0 (端子)	GPIO_I_FILTEN_0-3 (レジスタ)		
{0} (デフォルト)	0	0	-	デジタルノイズフィルタ 一斉設定	無効
		1			4
	1	0			8
		1			16
{1}	-	-	{0}	デジタルノイズフィルタ 無効 (Table 23)	GPIO_I_FILTSET (レジスタ) で設定
			{1}	デジタルノイズフィルタ 有効 (Table 23)	

Table 22 出力デジタルノイズフィルタ設定

設定				機能	Filter number of taps (tap_num)
OVERRIDE_O_FILTEN (レジスタ)	FILTSEL1 (端子)	FILTSEL0 (端子)	GPIO_O_FILTEN_0-3 (レジスタ)		
{0} (デフォルト)	0	0	-	デジタルノイズフィルタ 一斉設定	無効
		1			4
	1	0			8
		1			16
{1}	-	-	{0}	デジタルノイズフィルタ 無効 (Table 23)	GPIO_O_FILTSET (レジスタ) で設定
			{1}	デジタルノイズフィルタ 有効 (Table 23)	

Table 23 GPIO_I_FILTEN_0-3 (レジスタ) /GPIO_O_FILTEN_0-3(レジスタ)マッピング

レジスタ名	ビット	制御対象端子マッピング		説明
		プライマリチップモード	セカンダリチップモード	
GPIO_I_FILTEN_0 (レジスタ) GPIO_O_FILTEN_0 (レジスタ)	[0]	D0/D31/SDA1 (端子)	D31/D0 (端子)	GPIO 入出力 デジタルノイズフィルタ {0}:無効 {1}:有効
	[1]	D1/D30/SCL1 (端子)	D30/D1 (端子)	
	[2]	D2/D29 (端子)	D29/D2 (端子)	
	[3]	D3/D28 (端子)	D28/D3 (端子)	
	[4]	D4/D27 (端子)	D27/D4 (端子)	
	[5]	D5/D26 (端子)	D26/D5 (端子)	
	[6]	D6/D25 (端子)	D25/D6 (端子)	
	[7]	D7/D24 (端子)	D24/D7 (端子)	
GPIO_I_FILTEN_1 (レジスタ) GPIO_O_FILTEN_1 (レジスタ)	[0]	D8/D23 (端子)	D23/D8 (端子)	
	[1]	D9/D22 (端子)	D22/D9 (端子)	
	[2]	D10/D21 (端子)	D21/D10 (端子)	
	[3]	D11/D20 (端子)	D20/D11 (端子)	
	[4]	D12/D19 (端子)	D19/D12 (端子)	
	[5]	D13/D18 (端子)	D18/D13 (端子)	
	[6]	D14/D17 (端子)	D17/D14 (端子)	
	[7]	D15/D16 (端子)	D16/D15 (端子)	
GPIO_I_FILTEN_2 (レジスタ) GPIO_O_FILTEN_2 (レジスタ)	[0]	D16/D15 (端子)	D15/D16 (端子)	
	[1]	D17/D14 (端子)	D14/D17 (端子)	
	[2]	D18/D13 (端子)	D13/D18 (端子)	
	[3]	D19/D12 (端子)	D12/D19 (端子)	
	[4]	D20/D11 (端子)	D11/D20 (端子)	
	[5]	D21/D10 (端子)	D10/D21 (端子)	
	[6]	D22/D9 (端子)	D9/D22 (端子)	
	[7]	D23/D8 (端子)	D8/D23 (端子)	
GPIO_I_FILTEN_3 (レジスタ) GPIO_O_FILTEN_3 (レジスタ)	[0]	D24/D7 (端子)	D7/D24 (端子)	
	[1]	D25/D6 (端子)	D6/D25 (端子)	
	[2]	D26/D5 (端子)	D5/D26 (端子)	
	[3]	D27/D4 (端子)	D4/D27 (端子)	
	[4]	D28/D3 (端子)	D3/D28 (端子)	
	[5]	D29/D2 (端子)	D2/D29 (端子)	
	[6]	D30/D1 (端子)	D1/D30/SCL1 (端子)	
	[7]	D31/D0 (端子)	D0/D31/SDA1 (端子)	

Table 24 フィルタ段数設定

レジスタ名	説明
GPIO_I_FILTSET (レジスタ)	入力デジタルフィルタ設定 フィルタ段数 (tap_num) = GPIO_I_FILTSET+1
GPIO_O_FILTSET (レジスタ)	出力デジタルフィルタ設定 フィルタ段数 (tap_num) = GPIO_I_FILTSET+1

10.8.2. LVC MOS 出力バッファタイプ構成

GPIO 出力バッファタイプはオープンドレインかプッシュプルを選択出来ます。OBUF（端子）で全出力端子一斉切替え、もしくは、OVERRIDE_OBUF（レジスタ）=1として、GPIO_OBUF_0-3（レジスタ）で端子毎に設定が可能。

Table 25 出力バッファタイプ構成

設定			機能
OVERRIDE_OBUF (レジスタ)	OBUF (端子)	GPIO_OBUF_0-3 (レジスタ)	
{0}	0	-	すべての GPIO 出力バッファタイプをオープンドレインに設定
	1		すべての GPIO 出力バッファタイプをプッシュプルに設定
{1}	-	{0}	各 GPIO 出力バッファタイプをオープンドレインに設定
		{1}	各 GPIO 出力バッファタイプをプッシュプルに設定

Table 26 GPIO_OBUF_0-3（レジスタ）マッピング

レジスタ名	ビット	制御対象端子マッピング		説明
		プライマリチップモード	セカンダリチップモード	
GPIO_OBUF_0 (レジスタ)	[0]	D0/D31/SDA1 (端子)	D31/D0 (端子)	GPIO output buffer type select {0}: open-drain {1}: push-pull
	[1]	D1/D30/SCL1 (端子)	D30/D1 (端子)	
	[2]	D2/D29 (端子)	D29/D2 (端子)	
	[3]	D3/D28 (端子)	D28/D3 (端子)	
	[4]	D4/D27 (端子)	D27/D4 (端子)	
	[5]	D5/D26 (端子)	D26/D5 (端子)	
	[6]	D6/D25 (端子)	D25/D6 (端子)	
	[7]	D7/D24 (端子)	D24/D7 (端子)	
GPIO_OBUF_1 (レジスタ)	[0]	D8/D23 (端子)	D23/D8 (端子)	
	[1]	D9/D22 (端子)	D22/D9 (端子)	
	[2]	D10/D21 (端子)	D21/D10 (端子)	
	[3]	D11/D20 (端子)	D20/D11 (端子)	
	[4]	D12/D19 (端子)	D19/D12 (端子)	
	[5]	D13/D18 (端子)	D18/D13 (端子)	
	[6]	D14/D17 (端子)	D17/D14 (端子)	
	[7]	D15/D16 (端子)	D16/D15 (端子)	
GPIO_OBUF_2 (レジスタ)	[0]	D16/D15 (端子)	D15/D16 (端子)	
	[1]	D17/D14 (端子)	D14/D17 (端子)	
	[2]	D18/D13 (端子)	D13/D18 (端子)	
	[3]	D19/D12 (端子)	D12/D19 (端子)	
	[4]	D20/D11 (端子)	D11/D20 (端子)	
	[5]	D21/D10 (端子)	D10/D21 (端子)	
	[6]	D22/D9 (端子)	D9/D22 (端子)	
	[7]	D23/D8 (端子)	D8/D23 (端子)	
GPIO_OBUF_3 (レジスタ)	[0]	D24/D7 (端子)	D7/D24 (端子)	
	[1]	D25/D6 (端子)	D6/D25 (端子)	
	[2]	D26/D5 (端子)	D5/D26 (端子)	
	[3]	D27/D4 (端子)	D4/D27 (端子)	
	[4]	D28/D3 (端子)	D3/D28 (端子)	
	[5]	D29/D2 (端子)	D2/D29 (端子)	
	[6]	D30/D1 (端子)	D1/D30/SCL1 (端子)	
	[7]	D31/D3 (端子)	D0/D31/SDA1 (端子)	

10.8.3. 5V 耐圧 IO

プライマリチップ / セカンダリチップ はそれぞれ 8 本の 5V 耐圧 IO を持ちます。

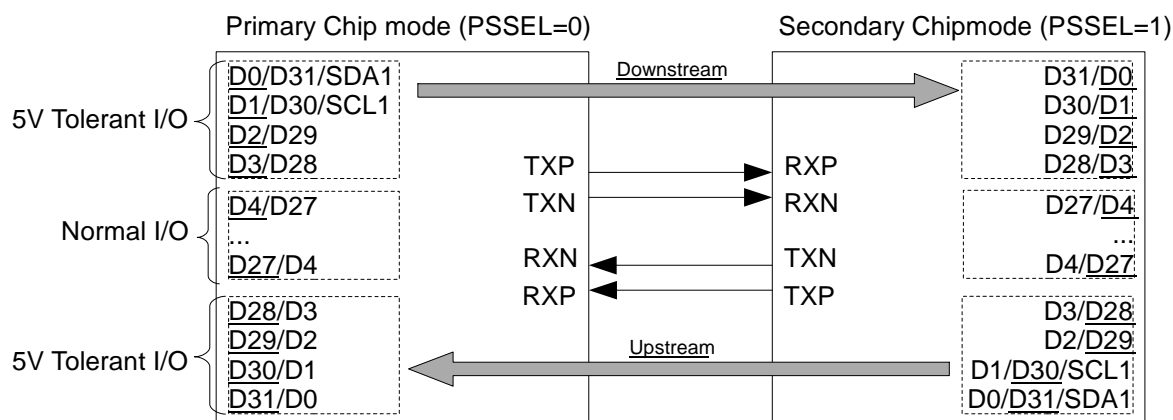


Figure 23 5V tolerant IO

10.8.4. LVCMOS 出力ドライブ強度設定

THCS253 は REFOUT、D0 (端子) -D31 (端子)、READY 端子の出力ドライブ強度を TTLDRV (レジスタ) によって設定出来ます。VDD=1.8V 駆動、REFEN (端子) =1 の外部リファレンスクロックモードにおいてリファレンスクロック周波数 100MHz 以上の場合には高ドライブ設定を推奨いたします。

Table 27 LVCMOS output drive strength setting

設定	説明
TTLDRV (レジスタ)	
{0}	ノーマル強度 (デフォルト)
{1}	高強度

10.8.5. CML 出力振幅電圧とプリエンファシス設定

CML 出力ドライブプリエンファシスは長距離伝送や高速伝送による高周波成分信号の損失を補償するものです。CMLDRV (レジスタ)、CMLPRE (レジスタ) の設定により、CML 出力振幅電圧、プリエンファシスを設定することが出来ます。

Table 28 CML differential output and Pre-emphasis settings

設定		CML 差動出力 ピーク対ピーク	プリエンファシス	説明
CMLDRV [1:0] (レジスタ)	CMLPRE (レジスタ)			
{00}	{0}	400mVpp	0dB (0%)	-
	{1}	400mVpp	6dB (100%)	-
{01}	{0}	600mVpp	0dB (0%)	デフォルト
	{1}	600mVpp	3.52dB (50%)	-
{10}	{0}	800mVpp	0dB (0%)	-
	{1}	800mVpp	0dB (0%)	-
{11}	{0}	禁止		-
	{1}	禁止		-

10.9. クロック構成

10.9.1. サンプ リング クロック 選択

プライマリチップは REFEN（端子）で外部基準クロックサンプ リング か内部発振器クロックサンプ リング を選択します。

セカンダリチップは SYNCEN（端子）でプライマリチップのクロックに同期する動作か、プライマリチップとは非同期動作にするかを選択します。 SYNCEN=0 で非同期動作の場合は、REFEN（端子）で外部基準クロックサンプ リング か内部発振器クロックサンプ リング を選択します。

外部基準クロック使用時は、RF_IN/OSCSELO（端子）でデータサンプ リング クロックエッジを選択可能。同様に、RF_OUT/OSCSEL1（端子）でデータ出力クロックのエッジを選択します。REFEN（端子）=0 で内部発振器クロックサンプ リング 選択時は、RF_OUT/OSCSEL1（端子）、RF_IN/OSCSELO（端子）により内部発振器クロック周波数を選択することが出来ます。

Table 29 Sampling Clock and RF_OUT/OSCSEL1, RF_IN/OSCSELO Function

PSSSEL (端子)	SYNCEN (端子)	REFEN (端子)	REFIN (端子)	RF_OUT/OSCSEL1 (端子)	RF_IN/OSCSELO (端子)	動作説明
0	無効	0	-	内部発振器クロックサンプ リング 周波数設定 (OSCSEL1, OSCSELO)		内部発振器クロックでサンプ リング OSCSEL1, OSCSELO (端子) 設定により周波数決定
	無効	1	外部基準クロック入力	データ出力クロックエッジ 設定 (RF)	サンプ リング クロックエッジ 設定 (RF)	外部基準クロックでサンプ リング
1	0	0	-	内部発振器クロックサンプ リング 周波数設定 (OSCSEL1, OSCSELO)		内部発振器クロックでサンプ リング OSCSEL1, OSCSELO (端子) 設定により周波数決定
		1	外部基準クロック入力	データ出力クロックエッジ 設定 (RF)	サンプ リング クロックエッジ 設定 (RF)	外部基準クロックでサンプ リング
	1	無効	-	無効		CDR クロックでサンプ リング
		無効	-	無効	無効	CDR クロックでサンプ リング

Table 30 OSC Clock Sampling Frequency and External Clock Input frequency

REFEN (端子)	RF_OUT/OSCSEL1 (端子)	RF_IN/OSCSELO (端子)	DATA_WIDTH (端子)	発振器周波数/ 入力周波数	CML ラインデータレート
0	0	0	0	20MHz ± 20%	480Mbps ~ 720Mbps
			1		800Mbps ~ 1200Mbps
	0	1	0	40MHz ± 20%	960Mbps ~ 1440Mbps
			1		1600Mbps ~ 2400Mbps
	1	0	0		960Mbps ~ 1440Mbps
			1		1600Mbps ~ 2400Mbps
	1	1	0	80MHz ± 20%	1920Mbps ~ 2880Mbps
			1	設定禁止	
1	-	-	0	15 ~ 133.3MHz	0.45 ~ 4.0Gbps
	-	-	1	9 ~ 80MHz	0.45 ~ 4.0Gbps

10.9.2. クロックエッジ切替え(RF_IN, RF_OUT)

REFEN=1 (外部基準クロックを使用)時、クロックエッジ切り替え機能が有効となる。RF_IN/OSCSEL0 端子で外部基準クロック使用時の入力データサンプルリングエッジを設定可能。RF_OUT/OSCSEL1 端子で、REFOUT 出力のクロックエッジを設定可能。RF_IN, RF_OUT の極性は Setup/Hold Timing を規定するクロックのエッジとなる。

Table 31 RF Function

端子名	動作説明
RF_IN	0: Fall Edge (Default)
RF_OUT	1: Rise Edge

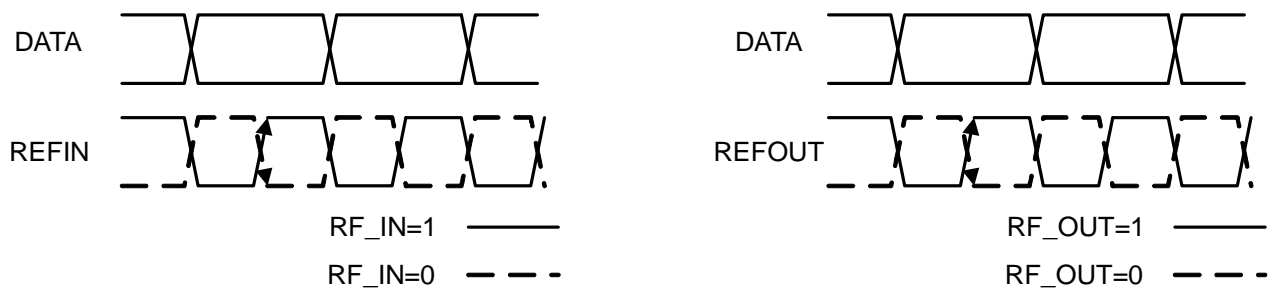


Figure 24 RF_IN, RF_OUT Function

10.10. スパクトラム拡散クロックジェネレータと REFIN (端子) 周波数

THCS253 は SSEN (端子) で SSCG PLL を有効にしてスパクトラム拡散クロック出力が可能になります。2 線リアル通信有効時 (ENI2C=1) はスパクトラム拡散クロックの変調周波数及び変調度が設定可能です。

SYNCEN (端子) =1 の場合、スパクトラム拡散クロックはプライマリチップ側のトランスミッタクロック側のみ設定。

SYNCEN (端子) =0 の場合、プライマリチップ、セカンダリチップ両方に掛けることが可能です。

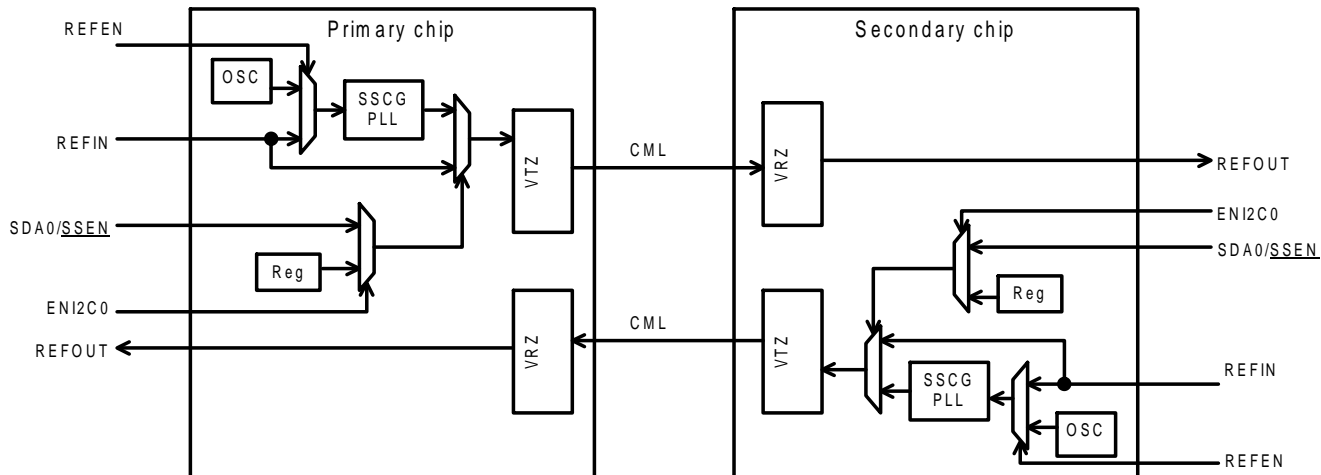


Figure 25 Spread Spectrum Configuration

Table 32 Spread Spectrum Setting

レジスタ名	動作説明
SPREAD[4:0] (レジスタ)	変調度設定 変調度=SPREAD
FMOD[3:0] (レジスタ)	変調周波数設定

スパクトラム拡散クロックの変調周波数は下記の数式によって決定されます。

$$f_{\text{mod}} = \frac{f_{\text{ref}}}{512 \times \text{FMOD}}$$

10.11. PWM 信号出力機能

THCS253 は D2/D29/PWMOUT 端子から PWM 信号を出力することが可能です。

2 線シリアルインタフェース経由で PWMH[7:0]、PWML[7:0]レジスタにアクセスし 256 階調で L/H 期間を設定し、PWMLEN レジスタにて PWMOUT を有効にして使用します。

$$\text{PWM High 期間} = (1/80\text{MHz} \pm 20\%) \times \text{PWMH}(0 \sim 255) [\text{ns}]$$

$$\text{PWM Low 期間} = (1/80\text{MHz} \pm 20\%) \times \text{PWML}(0 \sim 255) [\text{ns}]$$

ただし、

PWM_L=0 且つ PWM_H=0 の時、D2/D29/PWMOUT 端子は L 固定となります。

PWM_L=0 且つ PWM_H=1 の時、D2/D29/PWMOUT 端子は H 固定となります。

10.12. CRC

THCS253 は GPIO 信号及び、2 線シリアル通信時に CRC データ (CRC8) を付加し、ビットエラー発生時に異常なデータを出さない処理をする。CRC は DATAWIDTH=1 の時は 4 サンプルリングクロックに一度、DATAWIDTH=0 の時は 6 サンプルリングクロックに一度挿入される。CRC データの挿入は下図に示す。

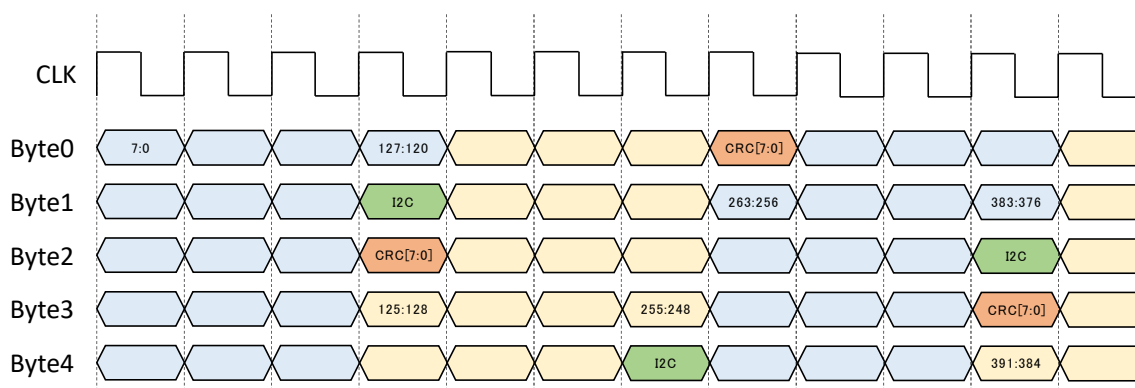


Figure 26 DATAWIDTH=1 の場合 CRC データ

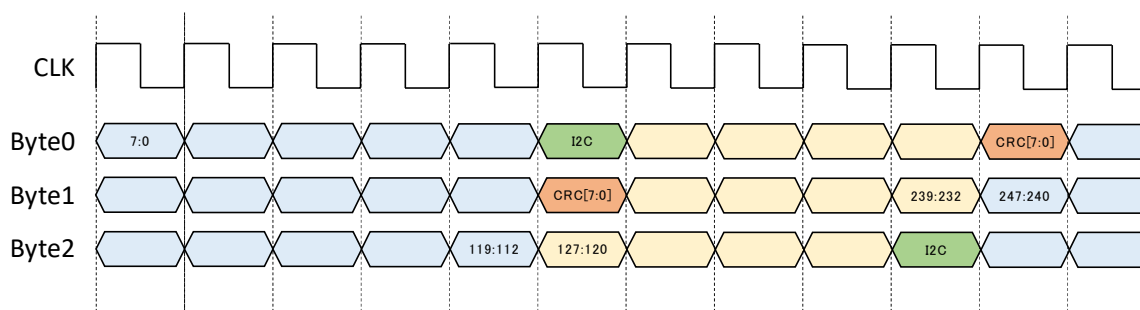


Figure 27 DATAWIDTH=0 の場合 CRC データ

10.13. エラー検知と通知

10.13.1. READY 信号

THCS253 は、プライマリチップとセカンダリチップ間のリンクが確立し、データの送受信や I2C の伝送が可能になると READY (端子) にて通知します。トランスミッタの PLL、レシーバの CDR、SSCG PLL (拡散スペクトラムクロック有効時) がロックし、ノーマル送信状態になると READY (端子) =H となります。クロック異常やロック外れなどのリンクエラーがない状態では READY 信号は H 出力で、データエラーは INTN (端子) から通知されます。リンクエラーを検知すると、READY (端子) は L となり再リンクアップシーケンスに入ります。

READY (端子) =L 期間は、データ送信、デバイスを跨ぐ 2 線シリアル通信 (CTSEL_I2C=1 で 2 線シリアルインタフェースコントローラに設定されたチップの内部レジスタへのアクセス、リモートデバイスレジスタへのアクセス) は禁止です。デバイスを跨がない 2 線シリアルインタフェースターゲット (CTSEL_I2C=0) に設定されたチップの内部レジスタへのアクセスは可能です。プライマリチップ、セカンダリチップ双方で READY (端子) からの通知が可能です。

Table 33 READY (端子) の動作

READY (端子)	動作説明
L	リンク未確立。データ送受信禁止、CTSEL_I2C=0 設定チップ以外への I2C アクセス禁止。
H	リンク確立。データ送受信、I2C アクセス可能

10.13.2. INTN 信号

THCS253 は、CML ラインの CRC エラーチェック結果でエラーを検出するとこれらを割込み要因として INTN (端子) から外部へ通知します。INTN 信号は L アクティブのオープンドレイン出力です。2 線シリアルインタフェース有効且つ割込み許可レジスタがイネーブル時、割込み要因となるエラーが発生すると INTN (端子) H から L へと遷移し、割込み状態レジスタをクリアするまで INTN (端子) =L を維持します。

2 線シリアルインタフェース無効時は、何れかの割込み要因が発生すると INTN (端子) =L となる。データエラーが解消されるまで INTN (端子) =L を出力し、データエラーが解消されると INTN (端子) =H (プルアップ) に戻る。この時、GPIO 出力信号は、INTN (端子) =H 時のみ出力データを更新し、INTN (端子) =L 時はエラー発生前の出力を保持します。

THCS253 は通信パケットに挿入された CRC 信号を検知して INTN (端子) から通知します。

CRC 信号には、ダウンストリーム/アップストリームの GPIO エラー検知用ビットと、2 線シリアル送受信エラー検知用ビットに埋め込まれた 2 種類が存在します。

通常、2 線シリアル通信をしていない場合は 2 線シリアル送受信の CRC は無効信号となりますが、伝送中にノイズ混入が原因で CRC データが通信中の様にデータ化けした場合には、2 線シリアル通信をしていなくても 2 線シリアル通信 CRC エラーが立つケースがあります。

10.14. スタンバイモード：STANDBY (レジスタ) =1

スタンバイモードは低速チップリングレート、低消費電力状態でデータ伝送可能な動作モードです。

ノーマルモードからスタンバイモード及び、スタンバイモードからノーマルモードへの遷移は2線シリアル経由でSTANDBY (レジスタ) アクセスすることで開始します。STANDBY (レジスタ) はCTSEL_I2C=0 に設定された2線シリアルターゲット側にも存在します。スタンバイモードではプライマリチップ/セカンダリチップ間でハートシェイク通信を行います。STBY_CYCLE (レジスタ) で設定された間隔でチップリングシデータ伝送 (ポーリング) を行う動作と、スタンバイモード用端子の変化やI2C入力を検知してデータ伝送する動作を選択可能です。

GPIO信号は最大で8本のデータ伝送が可能です。使用する本数や方向はプライマリチップのSTBY_NUM_DS (レジスタ) とSTBY_NUM_US (レジスタ) によって設定します。STBY_NUM_DS (レジスタ) でダウンストリーム方向の本数、STBY_NUM_US (レジスタ) でアップストリーム方向の本数を設定します。

スタンバイモード用のピンはいずれも5VトレラントIOであるため、5V入力可能です。

スタンバイモードにエントリすると、ノーマルモードでリンク確立していた場合READY信号は一度Lとなり、ハートシェイク通信が成立するとREADY信号が再びHとなり信号伝送可能状態になります。ノーマル動作時の割り込み状態レジスタ(伝送エラー発生割り込み、I2C割り込み等)やINTNはクリアされます。READY信号がHになった後に対向デバイスがスタンバイモードから抜ける、電源が落ちる、等の状態が発生すると、プライマリチップ側はセカンダリチップからのレスポンスが無いこと、セカンダリチップ側はプライマリチップからのリクエスト間隔のタイムアウトを検知してREADY信号をLにします。プライマリチップはスタンバイモードに入ってから1.5ms (typ)後に最初のリクエストコマンドを発行します。ポーリング動作のチップリング間隔はプライマリチップ側のSTBY_CYCLEレジスタ設定によって変更が可能です。セカンダリチップ側の設定は不要です。

Table 34 Standby Mode Operation Select

STANDBY (レジスタ)	STBY_MODE (レジスタ)	動作説明
0	Ignore	ノーマル動作
1	0 (default)	ポーリング動作のみ
	1	ポーリング動作 + 外部トリガ動作

Table 35 STBY_NUM_DS, STBY_NUM_US vs Standby mode data pin state example

STBY_NUM_DS (レジスタ)	0	1	1	1	1	1	0	4	4	4	4	4	8	8	8			
STBY_NUM_US (レジスタ)	0	0	1	2	7	8	8	0	1	2	7	8	0	1	8			
D0/D31/SDA1	通常 ピン 扱い	通常 ピン 扱い	通常 ピン 扱い	通常 ピン 扱い	Down	Down	Up	Down	Down	Down	Down	Down	Down	Down	Down			
D1/D30/SCL1					Up	Up	Down	Down	Down	Down	Down	Down	Down					
D2/D29					Up	Up	Down	Down	Down	Down	Down	Down	Down					
D3/D28					Up	Up	Down	Down	Down	Down	Down	Down	Down					
D28/D3					Up	Up	通常 ピン 扱い	通常 ピン 扱い	Up	Up	通常 ピン 扱い	通常 ピン 扱い	Up	Up	Down	Down	Down	
D29/D2					Up	Up							Up	Up	Down	Down	Down	
D30/D1					通常 ピン 扱い	通常 ピン 扱い	Up	Up	Up	Up	通常 ピン 扱い	通常 ピン 扱い	Up	Up	Up	Down	Down	Down
D31/D0													Up	Up	Up	Up	Down	Down

Table 36 Output of normal data pin in standby mode

STBY_DOUT (レジスタ)	Description
0	Hi-Z 状態(Default)
1	スタンバイモードエントリー前の状態を保持

Table 37 Standby Mode Sampling Rate Setting (Primary chip only)

レジスタ名	説明
STBY_CYCLE (レジスタ)	000 : 50ms
	001 : 100ms(Default)
	010 : 150ms
	011 : 200ms
	100 : 250ms
	101 : 300ms
	110 : 350ms
	111 : 400ms
	値は Typical 値。OSC バラつきにより上記数値±20%が保証値

Table 38 Registers that need to be set in standby mode

レジスタ名	プライマリチップ	セカンダリチップ
STBY_DRV	必要に応じて	必要に応じて
STBY_NUM_DS	要	不要
STBY_NUM_US	要	不要
STBY_CYCLE	要	不要
STBY_DOUT	必要に応じて	必要に応じて
STBY_MODE	必要に応じて	禁止
STANBY	要	要

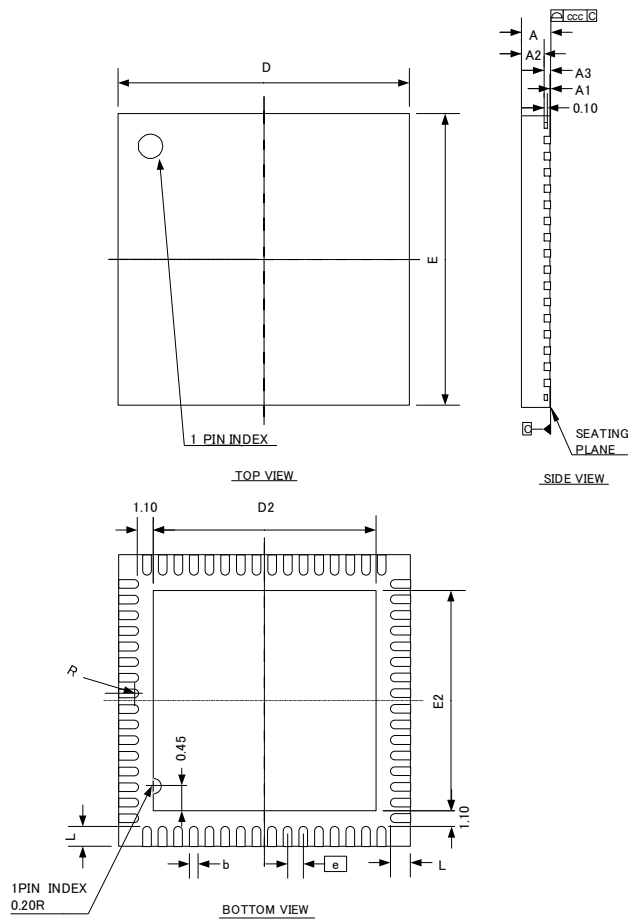
11. レジスタマップ

ターゲットアドレス (Hex)	コントローラアドレス (Hex)	ビット #	R/W	デフォルト (Hex)	レジスタ名	説明
0x00	0x80	3	R	-	STBY_READY	スタンバイモードでの READY 信号ステータス 0: READY=L もしくはノーマルモード 1: READY=H
		2	R	-	LINK_READY	ノーマルモードでの READY 信号ステータス 0: READY=L もしくはスタンバイモード 1: READY=H
		0	R	-	INT	INT 端子状態 (INTN (端子) の反転) 0: エラーなし 1: エラー発生
0x01	-	2	R/W	0	I2C_CRC	0: エラーなし 1: 2 線シリアルデータ送受信エラー発生 WRITE 1: エラークリア
		1	R/W	0	US_CRC	0: エラーなし 1: アップストリームエラー発生 WRITE 1: エラークリア
		0	R/W	0	DS_CRC	0: エラーなし 1: ダウンストリームエラー発生 WRITE 1: エラークリア
0x02	-	2	R/W	0	I2C_CRC_EN	0: 2 線シリアルデータ送受信エラー割込み有効 1: 2 線シリアルデータ送受信エラー割込み無効
		1	R/W	0	US_CRC_EN	0: アップストリームエラー割込み有効 1: アップストリームエラー割込み無効
		0	R/W	0	DS_CRC_EN	0: ダウンストリームエラー割込み有効 1: ダウンストリームエラー割込み無効
0x03	0x83	0	R/W	0	ENI2C1	2 線シリアルインタフェース SDA1/SCL1 許可 0: 無効 1: 有効
0x04	0x84	0	R/W	0	I2C_EXPAND	I/O 拡張モード 0: 無効 (GPIO トランシーバモード) 1: 有効
0x05	0x85	7:0	R	0x00	GPIO_IN_0	GPIO[7:0] 入力状態モータ
0x06	0x86	7:0	R	0x00	GPIO_IN_1	GPIO[15:8] 入力状態モータ
0x07	0x87	7:0	R	0x00	GPIO_IN_2	GPIO[23:16] 入力状態モータ
0x08	0x88	7:0	R	0x00	GPIO_IN_3	GPIO[31:24] 入力状態モータ
0x09	0x89	7:0	R/W	0x00	GPIO_OUT_0	GPIO[7:0] 出力設定 (I/O 拡張モードにのみ適用)
0x0A	0x8A	7:0	R/W	0x00	GPIO_OUT_1	GPIO[15:8] 出力設定 (I/O 拡張モードにのみ適用)
0x0B	0x8B	7:0	R/W	0x00	GPIO_OUT_2	GPIO[23:16] 出力設定 (I/O 拡張モードにのみ適用)
0x0C	0x8C	7:0	R/W	0x00	GPIO_OUT_3	GPIO[31:24] 出力設定 (I/O 拡張モードにのみ適用)
0x0D	0x8D	7:0	R/W	0xFF	GPIO_OEN_0	GPIO[7:0] 方向選択 0: 出力 1: 入力
0x0E	0x8E	7:0	R/W	0xFF	GPIO_OEN_1	GPIO[15:8] 方向選択 0: 出力 1: 入力
0x0F	0x8F	7:0	R/W	0xFF	GPIO_OEN_2	GPIO[23:16] 方向選択 0: 出力 1: 入力
0x10	0x90	7:0	R/W	0xFF	GPIO_OEN_3	GPIO[31:24] 方向選択 0: 出力 1: 入力
0x11	0x91	0	R/W	0	OVERRIDE_OEN	GPIO_OEN 設定方法選択 0: モード毎の入出力デフォルト値 1: レジスタ GPIO_OEN_0-3
0x12	0x92	7:0	R/W	0xFF	GPIO_OBUF_0	GPIO[7:0] 出力バッファタイプ選択 0: Open Drain 1: Pushpull
0x13	0x93	7:0	R/W	0xFF	GPIO_OBUF_1	GPIO[15:8] 出力バッファタイプ選択 0: Open Drain 1: Pushpull
0x14	0x94	7:0	R/W	0xFF	GPIO_OBUF_2	GPIO[23:16] 出力バッファタイプ選択 0: Open Drain 1: Pushpull
0x15	0x95	7:0	R/W	0xFF	GPIO_OBUF_3	GPIO[31:24] 出力バッファタイプ選択 0: Open Drain 1: Pushpull
0x16	0x96	7:0	R/W	0x00	Reserved	0 固定
0x17	0x97	7:0	R/W	0xFF	GPIO_I_FILTEN_0	GPIO[7:0] 入力デジタルノイズフィルタ許可 0: 無効 1: 有効
0x18	0x98	7:0	R/W	0xFF	GPIO_I_FILTEN_1	GPIO[15:8] 入力デジタルノイズフィルタ許可 0: 無効 1: 有効
0x19	0x99	7:0	R/W	0xFF	GPIO_I_FILTEN_2	GPIO[23:16] 入力デジタルノイズフィルタ許可 0: 無効 1: 有効

0x1A	0x9A	7:0	R/W	0xFF	GPIO_I_FILTEN_3	GPIO[31:24] 入力デジタリノイズフィルタ許可 0:無効 1:有効
0x1B	0x9B	7:0	R/W	0x03	GPIO_I_FILTSET	入力デジタリノイズフィルタ設定 フィルタ段数 = GPIO_I_FILTSET+1
0x1C	0x9C	0	R/W	0	OVERRIDE_I_FILTEN	入力デジタリノイズフィルタ有効設定方法選択 0: FILTSEL1(端子)と FILTSEL0(端子) 1: GPIO_I_FILTEN_0-3(レジスタ)
0x1D	0x9D	7:0	R/W	0xFF	GPIO_O_FILTEN_0	GPIO[7:0]出力デジタリノイズフィルタ許可 0:無効 1:有効
0x1E	0x9E	7:0	R/W	0xFF	GPIO_O_FILTEN_1	GPIO[15:8]出力デジタリノイズフィルタ許可 0:無効 1:有効
0x1F	0x9F	7:0	R/W	0xFF	GPIO_O_FILTEN_2	GPIO[23:16]出力デジタリノイズフィルタ許可 0:無効 1:有効
0x20	0xA0	7:0	R/W	0xFF	GPIO_O_FILTEN_3	GPIO[31:24]出力デジタリノイズフィルタ許可 0:無効 1:有効
0x21	0xA1	7:0	R/W	0x03	GPIO_O_FILTSET	出力デジタリノイズフィルタ設定 フィルタ段数 = GPIO_O_FILTSET+1
0x22	0xA2	0	R/W	0	OVERRIDE_O_FLTEN	出力デジタリノイズフィルタ有効設定方法選択 0: FILTSEL1(端子)と FILTSEL0(端子) 1: GPIO_O_FILTEN_0-3(レジスタ)
0x23	0xA3	7:0	R	0x00	CRC_ERROR_COUNT[15:8]	CRC エラー数 (上位 8bit)
0x24	0xA4	7:0	R	0x00	CRC_ERROR_COUNT[7:0]	CRC エラー数 (下位 8bit)
0x25	0xA5	0	W	-	CRC_ERROR_COUNT_CLEAR	1 Write : CRC ERROR COUNT[15:0]をクリア
0x26	0xA6	7:0	R/W	0x64	I2CPERIOD0	I2C0 Controller Bit Rate 10,000/I2CPERIOD0 kbps
0x27	0xA7	7:0	R/W	0x64	I2CPERIOD1	I2C1 Controller Bit Rate 10,000/I2CPERIOD0 kbps
0x28	0xA8	7:4	R/W	0x6	I2C_WDT_STBY	2線シリアルコントローラ/ターゲットウォッチドッグタイム (スタンバイ中) 0: ウォッチドッグタイム無効 1: 50ms 2: 151ms 3: 352ms 4: 755ms 5: 1.56s 6: 3.17s 7: 6.39s 8: 12.8s 9: 25.7s 10: 51.5s 11: 103s 12: 206s 13: 412s 14: 825s 15: 1650s
		3:0	R/W	0xF	I2C_WDT	2線シリアルコントローラ/ターゲットウォッチドッグタイム (ノーマルモード中) コントローラの設定値≧ターゲットの設定値とすること 0: ウォッチドッグタイム無効 Controller Target 1: 0.0123ms 0.0246ms 2: 0.0369ms 0.0738ms 3: 0.0860ms 0.172ms 4: 0.184ms 0.368ms 5: 0.381ms 0.762ms 6: 0.774ms 1.55ms 7: 1.56ms 3.12ms 8: 3.13ms 6.26ms 9: 6.28ms 12.6ms 10: 12.6ms 25.2ms 11: 25.2ms 50.4ms 12: 50.3ms 101ms 13: 101ms 202ms 14: 201ms 402ms 15: 403ms 806ms

0x29	0xA9	4	R/W	0	STBY_DRV	スタンバイモード CML 差動出力電圧設定 0: 200mV 1: 300mV
		3	R/W	0	CMLPRE	ノーマルモード CML 出力プリエンフィース設定 0: デフォルト 0dB 1: CMLDRV による
		2:1	R/W	0x1	CMLDRV	ノーマルモード CML 差動出力電圧設定 0x0: 200mV 0x1: 300mV 0x2: 400mV 0x3: 禁止
		0	R/W	0	TTLDRV	LVCOS 出力ドライブ強度設定 0: ノーマルドライブ 1: 強ドライブ
0x2A	0xAA	0	R/W	0	Reserved	0 固定
0x2B	0xAB	4:0	R/W	0x05	SPREAD	スペクトラム拡散クロックジェネレータ変調度設定 変調度=SPREAD * ±0.1% 変調度は最大±0.5%
0x2C	0xAC	2:0	R/W	0x6	FMOD	SSCG 変調周波数 (fmod) 設定 変調周波数は最大 30kHz $f_{mod} = \frac{f_{ref}}{512 \times FMOD}$
0x2D	0xAD	1	R/W	0	Reserved	0 固定
		0	R/W	0	Reserved	0 固定
0x2E	0xAE	7:0	R/W	0x00	PWMH	PWMH 期間 0x00: PWML=0x00 時 L 固定 0x01: H 期間 1 クロック、(PWML=0x00 時 H 固定) ~ 0xFF: H 期間 255 クロック
0x2F	0xAF	7:0	R/W	0x00	PWML	PWML 期間 0x00: PWMH=0x00 時 L 固定、PWMH=0x01 時 H 固定 0x01: H 期間 1 クロック ~ 0xFF: H 期間 255 クロック
0x30	0xB0	0	R/W	0	PWM_EN	PWM 出力有効
0x31	0xB1	7:4	R/W	0x4	STBY_NUM_DS	スタンバイモード ダウンストリーム GPIO 端子数設定 0x8 が最大 ※ブライマルチップのみ設定 (0x9-0xF は 0x8 とみなされる)
		3:0	R/W	0x4	STBY_NUM_US	スタンバイモード アップストリーム GPIO 端子数設定 0x8 が最大 ※ブライマルチップのみ設定 (0x9-0xF は 0x8 とみなされる)
0x32	0xB2	2:0	R/W	0x1	STBY_CYCLE	スタンバイモード ホールディング周期設定 ※ブライマルチップのみ設定 0x0: 50ms 0x1: 100ms 0x2: 150ms 0x3: 200ms 0x4: 250ms 0x5: 300ms 0x6: 350ms 0x7: 400ms
0x33	0xB3	0	R/W	0	STBY_DOUT	スタンバイモード スタティック GPIO 端子出力状態 ※ブライマルチップ / セカンダリチップそれぞれで設定 0: Hi-Z 1: 通常動作時の状態を保持
0x34	0xB4	0	R/W	0	STBY_MODE	スタンバイモード ハットシェイク通信スタートコンディション 0: ホールディング動作モード 1: ホールディングおよび入力トリガモード
0x35	-	0	R/W	0	STANDBY	0: ノーマルモード 1: スタンバイ
0x36	0xB6	0	R/W	0	Reserved	0 固定
0x37	0xB7	7:4	R	0	Reserved	0 固定
		3:0	R	0	Reserved	0 固定
0x38	0xB8	7:0	R/W	0x0F	Reserved	0x0F 固定
0x39	0xB9	7:0	R/W	0x1F	Reserved	0x1F 固定
0x3A	0xBA	3:0	R/W	0x4	Reserved	0x4 固定
0x3B	0xBB	7:0	R	0	Reserved	0 固定
0x3C	0xBC	4:0	R	0	Reserved	0 固定
0x3D	0xBD	7:0	R/W	0x00	Reserved	0 固定

12. 外形图

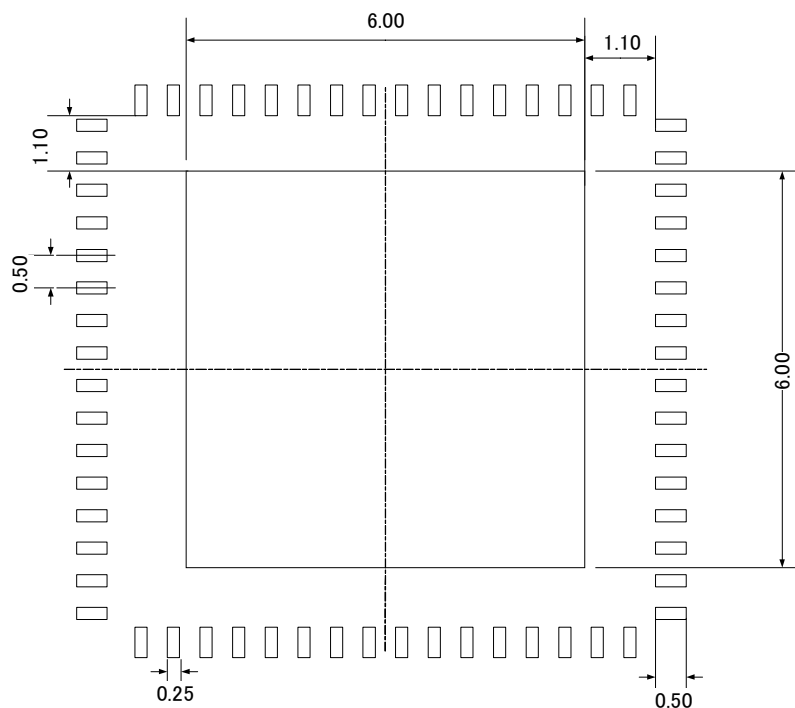


Unit mm

Symbol	Items	Min.	Nom.	Max.
A	Mounting Height	-	-	0.90
A1	Standoff	-	-	0.05
A2	-	-	0.65	0.70
A3	-	(0.20)		
b	Terminal Width	0.18	0.25	0.30
D	Body Length	9.00 BSC		
D2	Exposed Length	5.90	6.00	6.10
E	Body Width	9.00 BSC		
E2	Exposed Width	5.90	6.00	6.10
L	-	0.35	0.40	0.45
e	Pitch	0.50 BSC		
R	-	0.09	-	-
ccc	Coplanarity	0.05		

Figure 28 64-pin QFN package physical dimension

13. 参考ランドパターン



(注記)

お客様の実装条件(基板材質、はんだ種類、リフロー条件など)を十分に考慮いただき、お客様の責任においてランドパターンの調整を行ってください。

英語版と日本語版の間に矛盾や齟齬がある場合は、英語版を優先します。

14. 注意事項・免責事項

1. 本仕様書に記載されている製品仕様は、予告なく変更することがあります。
2. 本仕様書に記載されている回路図は、参考例を示したものであり、必ずしもお客様の設計に適合するとは限りません。また、本資料に記載された内容が誤りであった場合でも、直ちに訂正することができない場合があります。
3. 本仕様書には、弊社の著作権、ノウハウ、その他の知的財産権が含まれています。弊社の書面による事前の承諾なく、本仕様書の内容を複製、リバースエンジニアリング、または第三者に開示することを禁じます。
4. 本製品の使用に関してお客様と第三者との間で知的財産権に係る紛争が生じた場合、当該紛争が弊社のみ起因することをお客様が証明された場合を除き、弊社は当該紛争について一切の責任を負いません。また、当該紛争が弊社のみ起因する場合であっても、当該紛争の原因がお客様の指示に基づくものである場合は、弊社は当該紛争について一切の責任を負いません。
5. 本製品は、弊社が車載用として指定し、お客様がその用途に使用した場合を除き、航空宇宙機器、原子力制御機器、人命に直接関わる医療機器など、極めて高い信頼性・安全性が要求される用途には設計されておりません。これらの使用により発生した損害、請求、損失等について、弊社は一切の責任を負いません。
6. 本製品の品質・信頼性の向上に努めておりますが、半導体製品は一定の確率で故障が発生する場合があります。そのため、本製品の使用にあたっては、冗長設計や誤作動防止設計などのフェールセーフ設計を十分に行い、社会的な損害を生じさせないように、ご配慮ください。
7. 本製品は、製品内部の静電気保護回路の能力を超えて過大な静電気が印加された場合、破壊に至ることがあります。本製品に接触するもの（作業着、床、測定器、半田ごてを含む）には、必ずアースを実施してください。
8. 本製品は、耐放射線設計ではありません。
9. 本製品の検査やその他の品質管理は、弊社が当該製品の保証をするために必要と見なした方法で実施しております。したがって、本製品の全ての機能や性能に対する検査については、適用される法令によって義務付けられている場合や、お客様の要求に対して弊社が必要と認めた場合を除き、実施していない場合があります。
10. 本製品は、本仕様書において定める保管条件に従って保管してください。当該条件を満たさない環境下で本製品を保管したことによりお客様が損害を被った場合、当該損害について弊社は一切の責任を負いません。
11. 本製品が、日本の「外国為替及び外国貿易法」及び米国の「EAR (Export Administration Regulations : 輸出管理規則)」及び関連法令・放棄を遵守してください。本製品は、大量破壊兵器 (WMD) の開発を含む軍事利用を目的とする使用、および人権侵害を目的とする使用を禁止します。
12. 本製品は、絶対最大定格を超える電圧のサージや、異物混入などによる端子短絡 (ショート) により、本製品または周辺部品が破損することがあります。その結果、発煙・発火の原因となることがありますので、ヒューズなどの保護デバイスを追加して安全対策を行うことをお勧めします。本製品の制限値を超える条件で使用したことにより、使用者に生じた損害については、弊社は一切の責任を負いません。
13. 本製品に関する特許権、出願中の特許権、商標権、著作権、意匠権、その他の知的財産権は、弊社または弊社のライセンサーに帰属します。現在および将来にわたって、弊社または弊社のライセンサーが所有する知的財産権その他の財産権について、本製品または本仕様書の提供をもってお客様に権利を許諾するものではなく、権利の許諾はお客様と弊社または弊社のライセンサーとライセンス (使用許諾) 契約を締結する必要があります。

THine Electronics, Inc.

<http://www.thine.co.jp>