THCS253

I2C/GPIO シリアルバストランシーバ

システムデザインガイドライン

Copyright© 2023 THine Electronics, Inc.

THine Electronics, Inc.
Security E

目次

目次 2
接続例 1. I/O ブリッジ，Up/Down Stream 同期モード 3
接続例 2. I/O & I2C ブリッジ，Up/Down Stream 非同期モード 5
接続例 3. I2C による I/O 拡張（I/O Expander） 7
電源のデザインガイドライン 9
高速信号のデザインガイドライン 10
諸注意とお願い 11

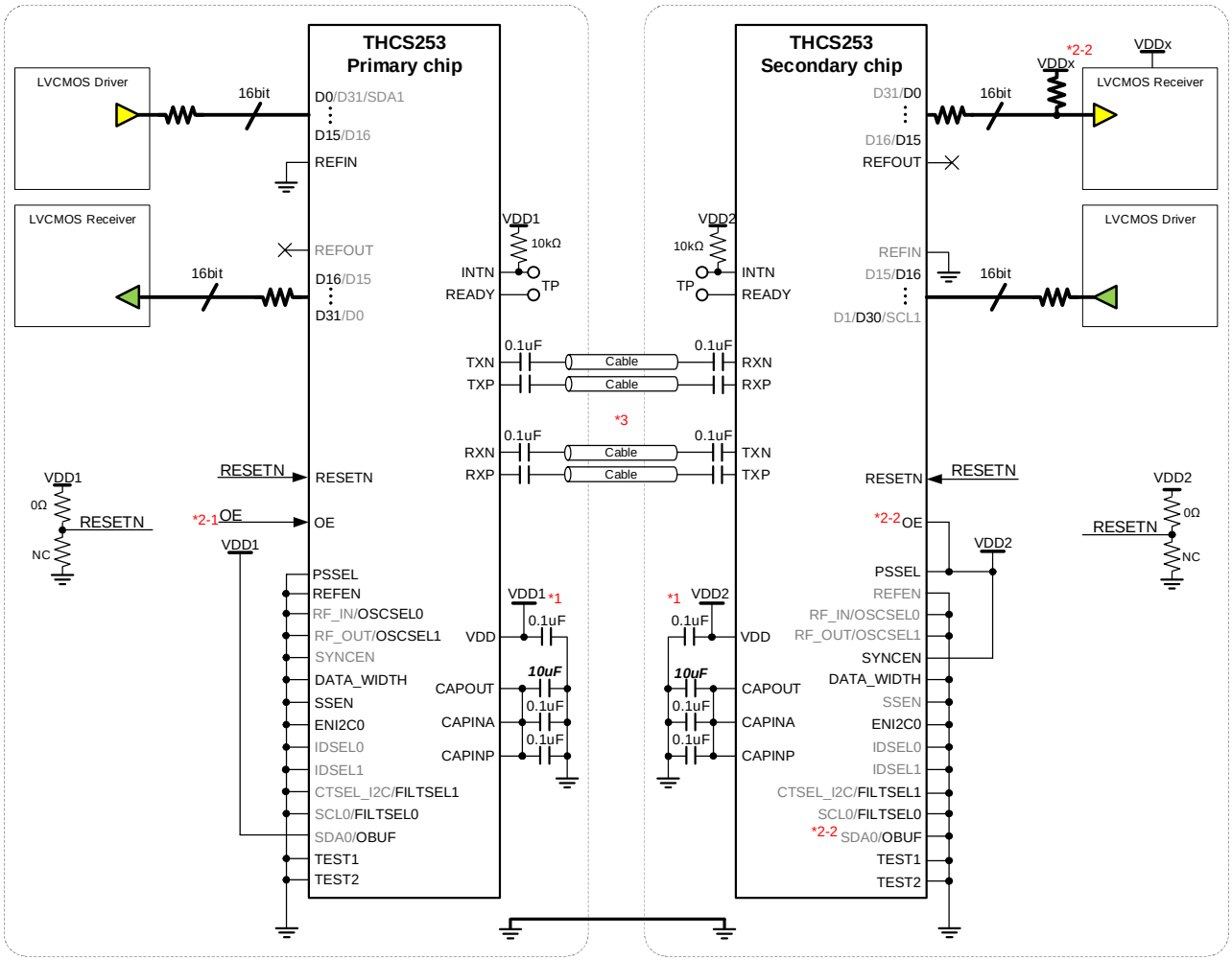
Copyright© 2023 THine Electronics, Inc.

接続例 1. I/O ブリッジ，Up/Down Stream 同期モード

Primary chip は REFIN 端子に入力されるクロック信号もしくは内蔵オシレータクロック信号の何れか選択されたクロック信号で入力データのパラレル／シリアル変換を行い、クロック埋め込み式シリアル信号として TXP/N 端子から出力します。同期モード（SYNCEN 端子=High）に設定された Secondary chip はシリアル／パラレル変換回路、パラレル／シリアル変換回路共に RXP/N 端子に入力されるクロック埋め込み式シリアル信号から再生されたクロック信号で動作します。このため Up/Down Stream は同じ伝送ビットレートになります。

接続例 1.は Primary chip で 20MHz の内蔵オシレータクロックにより非同期サンプリングされた 16bit の GPIO データを Secondary chip へ伝送、同期モードに設定された Secondary chip では再生された 20MHz クロックにより非同期サンプリングされた 16bit の GPIO データを Primary chip へ伝送する例です。

I2C を使用しない場合、THCS253 設定は全て設定端子のみで行います。



■電源電圧（*1）

Primary chip（VDD1）と Secondary chip（VDD2）は各々異なる電源電圧で使用可能です。

■起動シーケンスに伴うデータ出力端子制御

I2C を使用しない場合は以下の 2 つの方法があります。

- OE 端子による LVCMOS 出力イネーブル制御（*2-1）
- オープンドレイン出力に設定し LVCMOS レシーバ側 I/O 電源でのプルアップ（*2-2）

■未使用端子処理

未使用の入力は Low に固定、出力はオープンにして下さい

■Primary/Secondary chip 間接続ケーブル（*3）

差動インピーダンス 100Ωのツイストペアケーブルを使用して下さい。インピーダンス誤差は±10%程度が目安になりますが、RXP/RXN 端子直近で観測される信号波形がデータシートに記載された Eye 開口を満たしていればその限りではありません。

またシールド処理の施されていないツイストペアケーブルを他の信号線や電源線と束ねると、線間クロストークによりデータエラーが発生し誤動作します。ツイストペアケーブルは必ずペア毎にシールドして下さい。

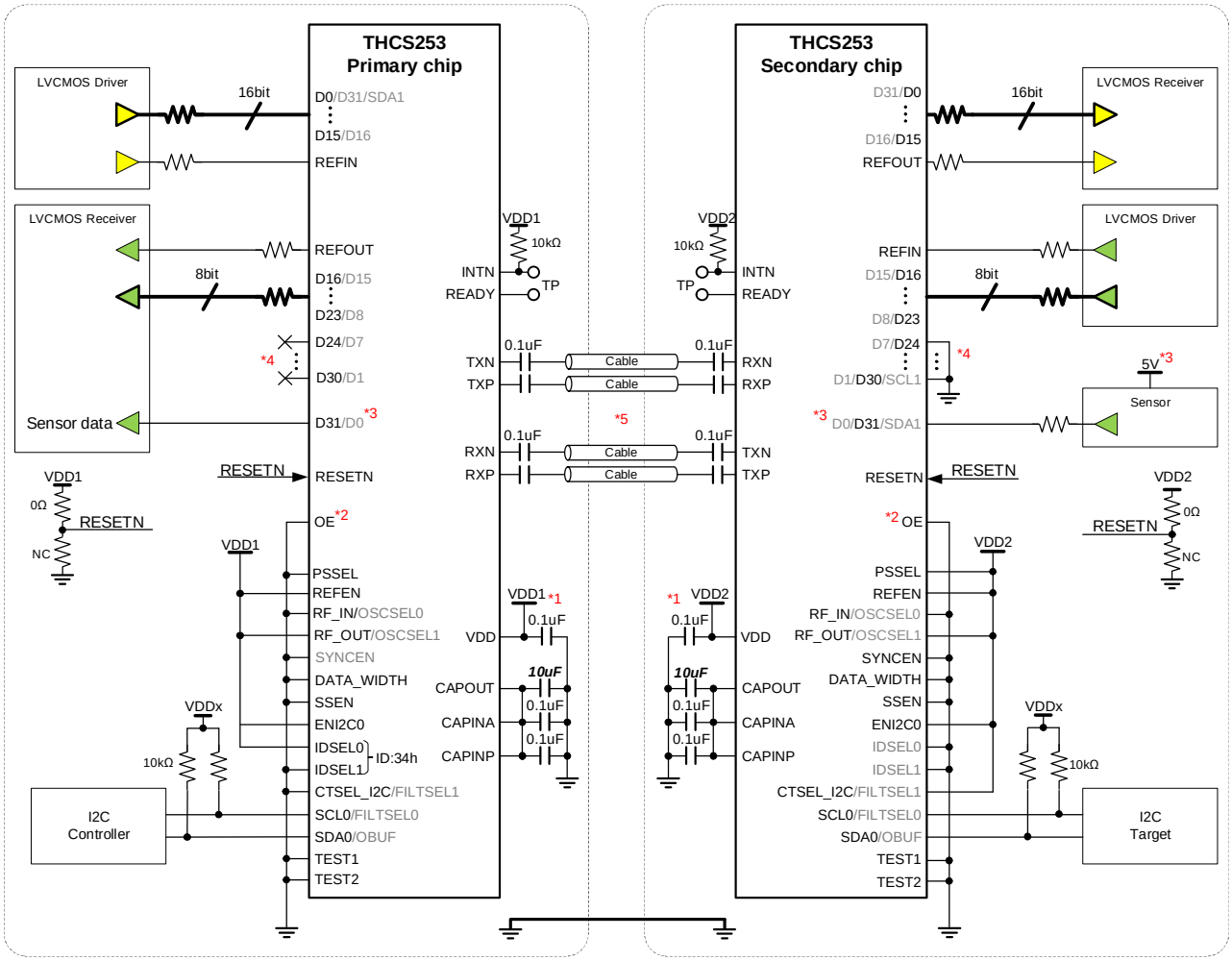
Copyright© 2023 THine Electronics, Inc.

接続例 2. I/O & I2C ブリッジ，Up/Down Stream 非同期モード

Primary chip と Secondary chip は各々で選択される REFIN 端子入力クロック信号もしくは内蔵オシレータクロック信号でパラレル／シリアル変換を行い、クロック埋め込み式シリアル信号として TXP/N 端子から出力します。このため Up/Down Stream 信号のビットレートは各々で選択されたクロック信号周波数に準じます。

接続例 2.は各々の REFIN 端子に入力されるクロック信号の立下り基準でサンプリングされた GPIO データに加えて 2 線シリアル通信のデータを伝送する例です。

I2C 使用する場合、一部の設定（入出力方向、出力バッファタイプ、デジタルフィルタ設定）はレジスタでの設定となります。



■電源電圧（*1）

Primary chip（VDD1）と Secondary chip（VDD2）は各々異なる電源電圧で使用可能です。

■起動シーケンスに伴う GPIO 端子制御（*2）

OE 端子=Low に固定することで電源投入直後の初期状態は全ての GPIO 端子が無効（Hi-Z）となり、接続先への不要な電圧印可が避けられます。この状態から GPIO_OEN、GPIO_OBUF レジスタにより各 GPIO 端子の入出力極性ならびに出力バッファタイプを指定した後に OVERRIDE_OE レジ

スタを”1”に設定することで、OE 端子設定よりもレジスタ設定が優先され GPIO が有効になります。

手順１．OE 端子=Low により全出力無効（Hi-Z）
手順２．GPIO_OEN、GPIO_OBUF、必要に応じて GPIO_I_FILTEN レジスタを設定
手順３．OVERRIDE_OE レジスタを”1”に設定

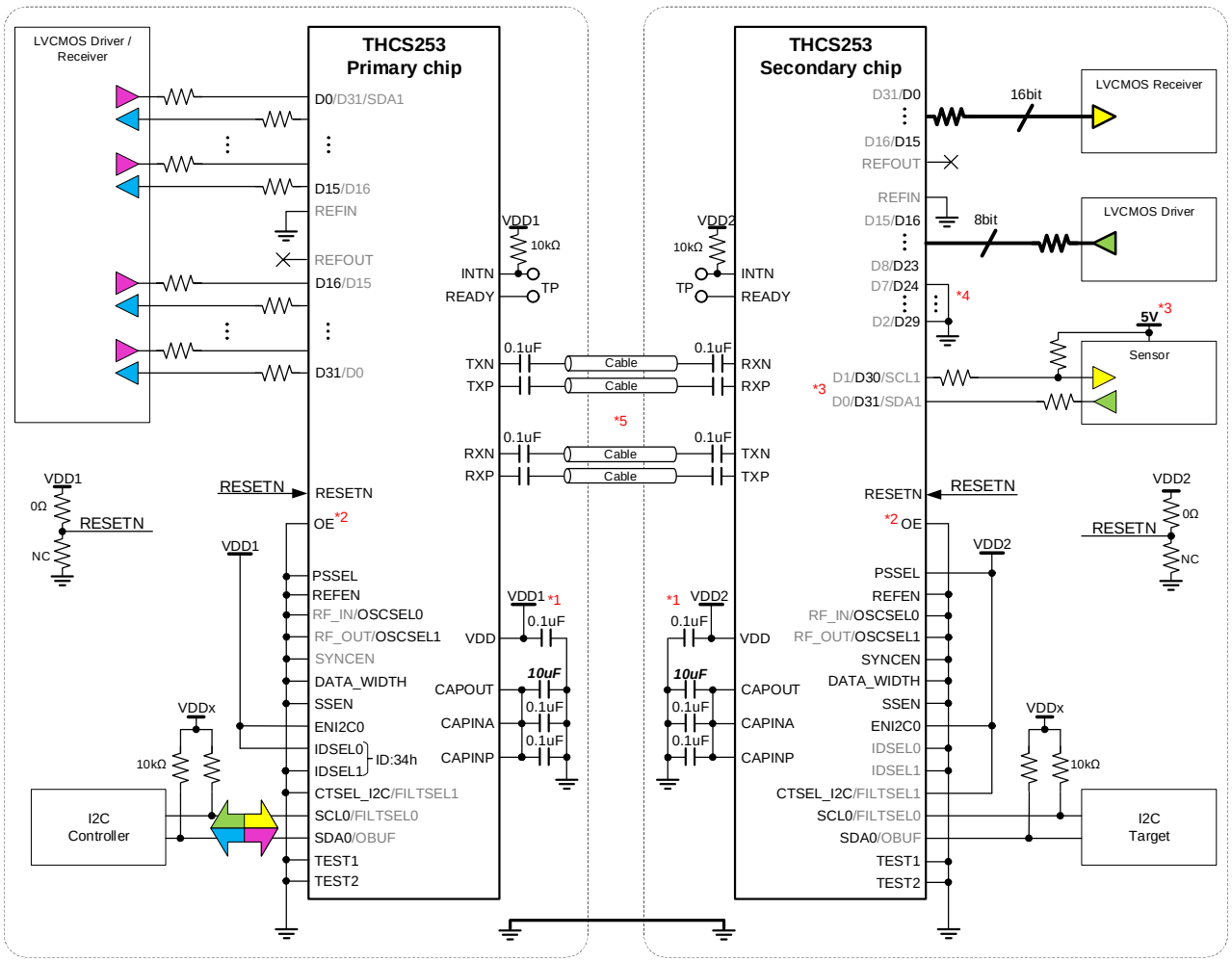
■5V 耐圧 I/O、レベル変換（*3）
入力と出力各々最大 4 本の 5V 耐圧端子があります。上記例では Secondary chip 側の 5V 耐圧入力端子に 5V 駆動のセンサから出力される信号を入力し、Primary chip 側から VDD1 電圧で出力することで 5V→VDD1 のレベル変換を行っています。
5V 耐圧出力端子を 5V 振幅の信号出力にする場合は、該当する端子をオープンドレインに設定し外部で 5V にプルアップして下さい。

■未使用端子処理（*4）
未使用の入力は Low に固定、出力はオープンにして下さい

■Primary/Secondary chip 間接続ケーブル（*5）
差動インピーダンス 100Ωのツイストペアケーブルを使用して下さい。インピーダンス誤差は±10%程度が目安になりますが、RXP/RXN 端子直近で観測される信号波形がデータシートに記載された Eye 開口を満たしていればその限りではありません。
またシールド処理の施されていないツイストペアケーブルを他の信号線や電源線と束ねると、線間クロストークによりデータエラーが発生し誤動作します。ツイストペアケーブルは必ずペア毎にシールドして下さい。

接続例 3. I2C による I/O 拡張（I/O Expander）

このモードは I2C を使用し GPIO 端子の状態を 1 端子毎に個別制御することができます。



■電源電圧（*1）

Primary chip（VDD1）と Secondary chip（VDD2）は各々異なる電源電圧で使用可能です。

■起動シーケンスに伴う GPIO 端子制御（*2）

OE 端子=Low に固定することで電源投入直後の初期状態は全ての GPIO 端子が無効（Hi-Z）となり、接続先への不要な電圧印可が避けられます。この状態から I2C_EXPAND レジスタで I2C による I/O エキスパンダ機能を有効に設定し、GPIO_OEN、GPIO_OBUF、GPIO_OUT レジスタにより各 GPIO 端子の入出力極性ならびに出力バッファタイプ、論理状態を指定した後に OVERRIDE_OE レジスタを”1”に設定することで、OE 端子設定よりもレジスタ設定が優先され GPIO が有効になります。

手順１．OE 端子=Low により全出力無効（Hi-Z）
手順２．I2C_EXPAND レジスタを”1”に設定
手順３．GPIO_OEN、GPIO_OBUF、GPIO_OUT レジスタ、必要に応じて GPIO_I_FILTEN レジスタを設定
手順４．OVERRIDE_OE レジスタを”1”に設定

Copyright© 2023 THine Electronics, Inc.

■5V 耐圧 I/O（*3）

入力と出力各々最大 4 本の 5V 耐圧端子があります。上記例では Secondary chip 側の 5V 耐圧入力端子に接続された 5V 駆動センサの出力状態を Primary chip 側に接続された I2C コントローラから読み込みます。またオープンドレイン出力に設定された 5V 耐圧出力端子を 5V 電源でプルアップすることで 5V 振幅の出力信号を生成しています。

■未使用端子処理（*4）

未使用の入力は Low に固定、出力はオープンにして下さい

■Primary/Secondary chip 間接続ケーブル（*5）

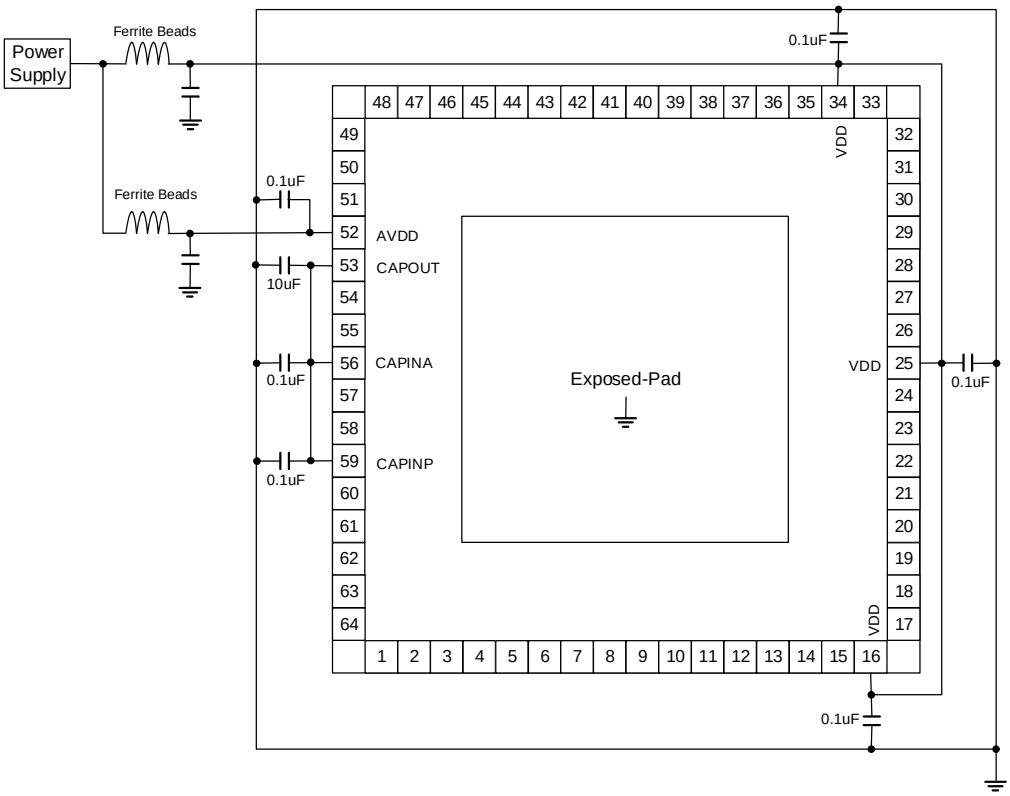
差動インピーダンス 100Ωのツイストペアケーブルを使用して下さい。インピーダンス誤差は±10%程度が目安になりますが、RXP/RXN 端子直近で観測される信号波形がデータシートに記載された Eye 開口を満たしていればその限りではありません。

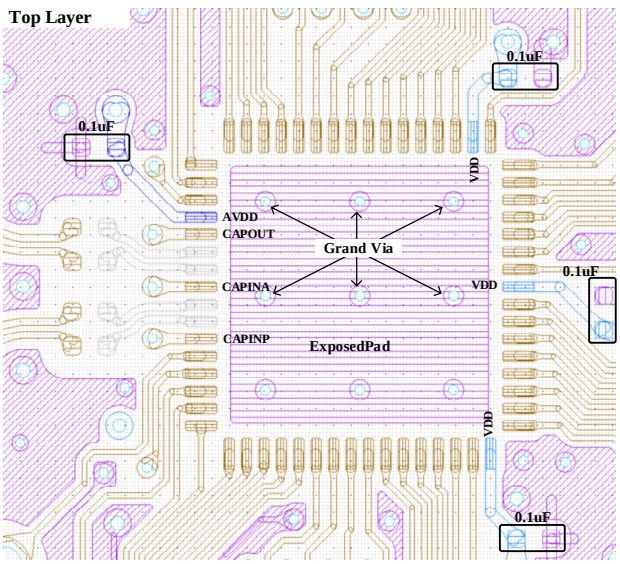
またツイストペアケーブルをその他の信号線や電源線と束ねると線間クロストークによりデータエラーが発生し誤動作します。ツイストペアケーブルは必ずペア毎にシールドして下さい。

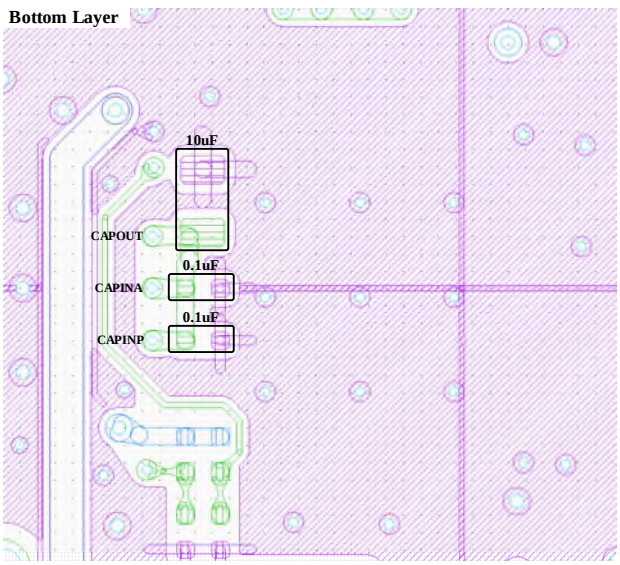
Copyright© 2023 THine Electronics, Inc.

電源のデザインガイドライン

電源(VDD と AVDD)には、フェライトビーズとコンデンサのフィルタを入れて下さい。
各電源端子には、0.1uF のバイパスコンデンサを挿入して下さい。
本デバイスには内部回路動作用に 1.2V のレギュレータが内蔵されています。
このレギュレータ用にもバイパスコンデンサ (CAPOUT:10uF、CAPINA/CAPINP:0.1uF)を挿入してください。
バイパスコンデンサはデバイスの直近に配置してください。
Exposed-Pad には GND-Via を挿入して強化してください。



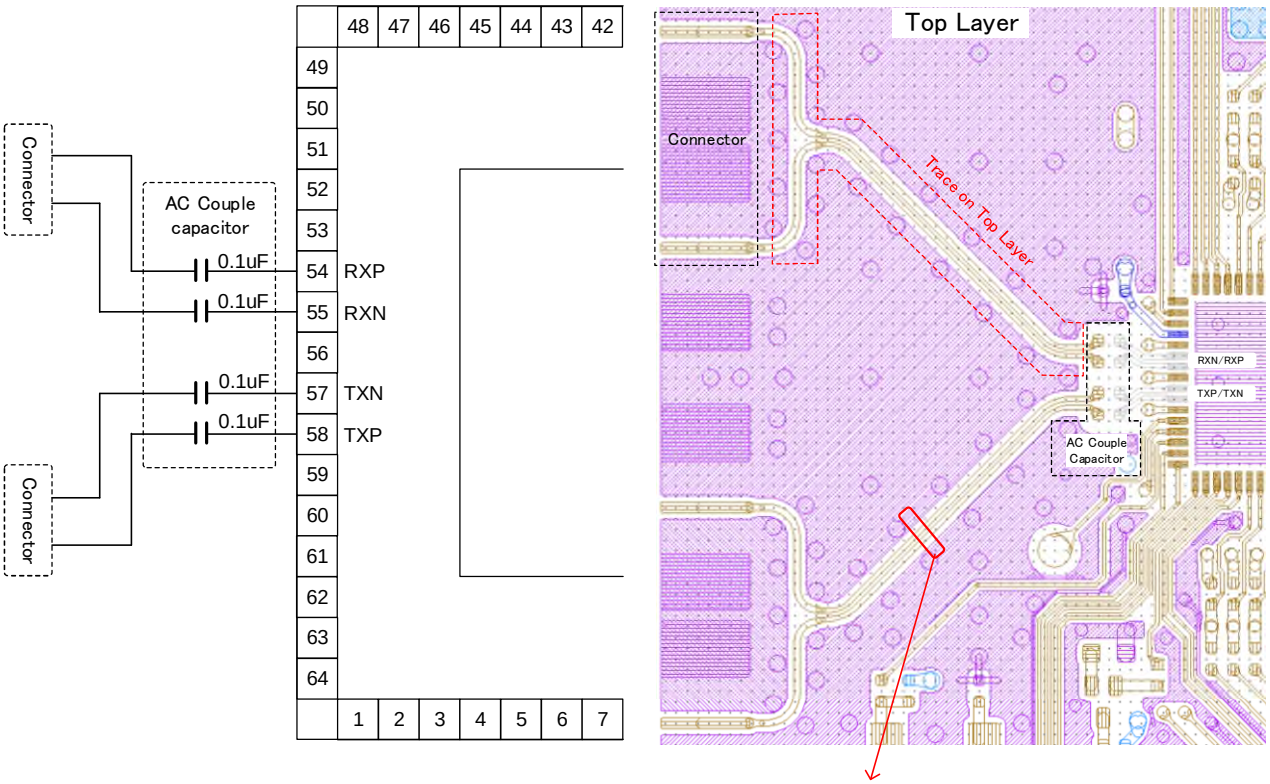




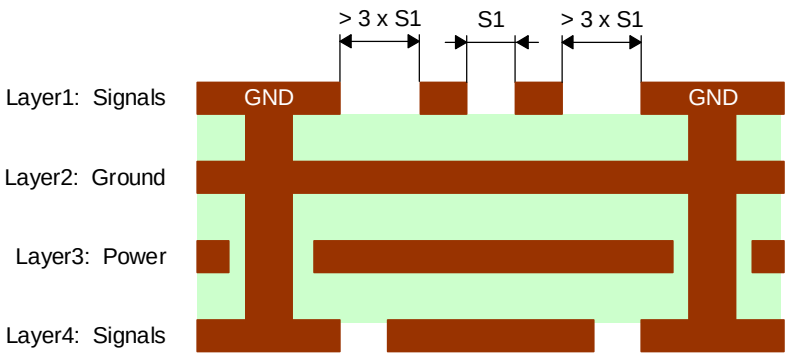
Copyright© 2023 THine Electronics, Inc.

高速信号のデザインガイドライン

TXP/TXN、および、RXP/RXN は、差動ペアの高速シリアル信号です。
差動ペアは、コモンモードノイズを除去するため、間隔をせまくして、カップリングさせて下さい。
また、差動ペアは、差動特性インピーダンス（Zdiff）は 100Ω で設計して下さい。
以下はマイクロストリップ線路で設計した場合の例です。
高速信号線は、単一のレイヤでトレースしてください。
AC カップルコンデンサはデバイスの直近に配置してください。



Differential signal traces (Microstrip Lines)



Copyright© 2023 THine Electronics, Inc.

諸注意とお願い

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。

2. 本資料に記載された回路図は、あくまでも応用例として掲載されております。従って、お客様の設計におかれましては十分な注意をお願い致します。また、文中の誤りにつきましてもその責を負いかねます。誤りが発見されましても、直ちに修正できない場合がございますので、ご了承ください。

3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく、複製、又は第三者に公開しないようにお願い申し上げます。

4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承ください。

5. 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、携帯電話、アミューズメント機器等）に使用されることを前提としております。極めて高い信頼性を要求される用途（人命に直接関わる医療機器、宇宙機器、原子力制御機器、交通機器、輸送機器、燃焼機器、各種安全機器など）には使用しないで下さい。また、IATF16949の要求事項に準拠した製品である旨が本納入仕様書（データシート）に記載された弊社指定製品を除き、本製品は自動車用部品として用いられることを前提に設計開発を行っておりません。従いまして、弊社指定製品以外の本製品が当該要求事項に準拠していなかったことについて、弊社は一切の責任を負いません。なお、IATF16949の要求事項に準拠した弊社指定製品につきましても、事前にお客様と合意した事項以外の要求事項について、弊社は一切の責任を負わないものとします。

6. 弊社は製品の品質及び信頼性の向上について最大限の努力をはらっておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により、社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等を行ってください。

7. 本製品は、耐放射線設計は行われておりませんので、ご注意願います。

8. 本製品の検査やその他の品質管理は、弊社が当該製品の保証をするために必要と見なした方法で実施しております。したがって、本製品の全ての機能や性能に対する検査については、適用される法令によって義務付けられている場合や、お客様の要求に対して弊社が必要と認めた場合を除き、実施していない場合があります。

9. 本製品が、外国為替及び外国貿易法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願い致します。

10. 本製品は端子間が異物の混入等によりショートされた場合、絶対最大定格を超える電圧の印加、または誤作動により半導体製品もしくは周辺部品が破壊する可能性があります。破壊により発煙、発火の恐れがありますので、ヒューズ等、保護部品による安全対策を施すようお願い致します。

Copyright© 2023 THine Electronics, Inc.