테크니컬· 화이트페이퍼

-PCI express 와 V-by-One® HS 의 유사성-

Jul 2017

주의사항

본자료에 포함된 정보 및 데이터, 고찰은 어떠한 경우라도 자인일렉트로닉스가 그 성능이나 동작, 정보의 정확도를 보증하는 것은 아닙니다. 제품 이용에 있어서 고객사의 사용조건하에서 충분히 평가하시어, 성능 및 기능이 고객사의 요구사항에 만족하고 있는 것을 확인한 후에 사용하여 주십시요.

상위 Layer 구조와 각 Layer 의 역할

PCI Express 는 메모리나 CPU 등과 같은 컴퓨터의 다양한 디바이스와 그 고유 데이터를 취급하기 위해 만들어진 범용 인터페이스로서, 상위 Layer 구조로 Transaction Layer, Data Link Layer, 물리층 등으로 구성되어 있습니다. 그에 반해 V-by-One®HS 는 영상 인터페이스에 있어서의 시리얼라이저/디시리얼라이저(이하, SerDes)의 연장선상에서 고안된 1 대 1 접속 단방향 기가비트 시리얼 통신방식으로, 거의 물리층만으로 구성된 상당히 심플한 구조입니다. 아래의 표는 PCI Express 의 Layer 구조와 그 기능을 V-by-One®HS 와 비교한 것입니다. V-by-One®HS 는 거의 물리층만으로 구성되어 있어, 단순한 "8b10b 시리얼 인터페이스" 라는 점을 알 수 있습니다.

PCI Express Gen2 와 V-by-One® HS Layer 비교

Layer	주요기능		PCI Express Gen2	V-by-One®HS
Transaction Layer	패킷생성 / 복호		TLP(코맨드, 어드레스, 데이터)	없음
	어플리케이션층 플로어 제어		있음	없음
Data Link Layer	패킷생성 / 복호		TLP(코맨드, 어드레스, 데이터)	3/4/5byte 패킷(모든 데이터)
	에러검출		CRC、패킷결함	없음
	에러정정		NAK 에 의한 재송신 요구	없음
	시퀀스넘버 부가		있음	없음
물리층	심볼변환		8b10b	8b10b
	시리얼변환		10:1	10:1
	스크램블		LFSR	LFSR
	파형등가		Preshoot, De-emphasis, CTLE, DFE	옵션(Pre-emphasis, CTLE)
	링크제어	접속검출	상호 종단 검출	외부단자(HTPDN) 검출
		Poling	비트/심볼동기 / 레인극성 판별	CDR 클럭재생, 비트/심볼동기
		Config	데이터 레이트 결정 / 레인간 스큐	없음
		Recovery	데이터통신 / 재생	데이터통신 / 재생
	버퍼		CML(5Gbps/lane)	CML(600M - 4Gbps/lane)

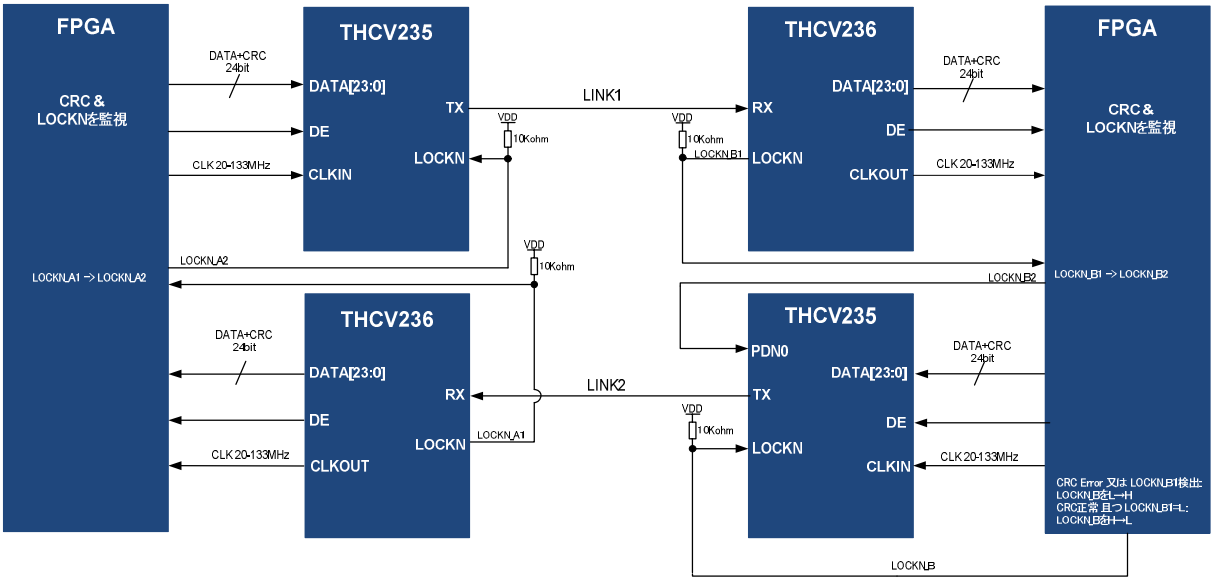
이 두가지 방식에서 정의된 기능의 차이는, 사용되는 시스템에서 요구하는 통신품질에 대한 생각의 차이에 있습니다. PCI Express 에서는 스토리지 데이터 등, 데이터 전송 지연시간 보다는 데이터를 100% 확실하게 전송하는 것을 우선으로 하기 때문에 CRC 및 데이터 재송신 기능 등이 실장되어 있습니다. 따라서, 전송 지연시연은 보증되지 않습니다. 또한, 데이터의 페이로드(최대 4096Byte)단위로 시퀀스 번호와 헤더, CRC 등의 데이터가 부가되기 때문에 시리얼 통신에 있어서의 오버헤드는 8b10b 변환에 의한 20%보다도 반드시 커져므로, 대부분 실효 레이트가 80%을 밑돌게 됩니다.

Copyright©2017 THine Electronics, Inc.

그에 반해 V-by-One®HS 는 에러데이터에 대한 정정이나 재송신 처리는 정의되어 있지 않으며, 데이터 전송시간을 우선시 하고 있습니다. 인터페이스로서의 전송지연시간은 거의 물리층만이고, 구성되는 통신 디바이스와 기판이나 케이블의 전송 지연시간 등으로 결정되기 때문에, 지연시간이 짧고 편차를 줄일 수가 있습니다. 이로인해 영상신호의 경우에는 리얼타임의 영상이 전달되기는 하나, 데이터 에러가 발생하는 경우에 영상에 문제가 발생하게 됩니다. 이러한 영상문제가 빈번하게 발생되는것을 허용할 수는 없는바, PCI Express 의 10^-12 나 V-by-One®HS 의 10^-9×(30~50)^-1 라고 하는 에러 레이트는 너무 높지만 V-by-One®HS 시스템에 있어서의 실제 에러 레이트는 상당부분 낮게 억제할 수 있습니다. 또한, 페이로드 규정도 없기 때문에 실효 레이트는 대부분 80% 고정이 됩니다.

V-by-One®HS 의 PCI Express 적 활용

2 가지 방식에 구조와 기능의 차이는 있지만, V-by-One®HS 는 PCI Express 의 물리층과 유사한 사양입니다. 반대로 이야기 하면 유저가 필요한 기능을 Transaction Layer 나 Data Layer 로 V-by-One®HS 외부에 실장함으로서, V-by-One ®HS 를 PCI Express 처럼 사용할 수 있다는 것입니다. 아래 그림은 물리층에 자인일렉트로닉스의 THCV 시리즈를 사용하고, CRC 등의 V-by-One®HS 에는 없는 기능을 FPGA 에 실장하는 것으로 PCI Express 시스템을 윗도는 전송효율과 전송길이, 짧은 전송 지연시간을 실현한 예입니다. PCI Express 과 같은 범용성은 없지만, 유저쪽에서 불특정다수의 주변기기와 접속할 필요없이, 특정용도의 산업기기에 심플하면서도 효율 좋은 통신시스템으로 구축될 수 있습니다.



THCV 시리즈에 의한 양방향 통신구성

THCV 시리즈를 사용한 상기의 양방향 통신구성에서는 PCI Express 에는 없는 하기 특징이 있습니다.

① 시리얼 통신 비트레이트를 낮게 억제할 수 있습니다.
② LINK1 과 LINK2 를 비동기로 사용가능.
③ 전송지연은 300ns 정도, 편차는 nsec 정도

Copyright©2017 THine Electronics, Inc.

① 은 시리얼 통신 비트레이트의 차이에 기인합니다. PCI Express 에서는 시리얼 통신 비트레이트가 5Gbps (Gen2) 고정이므로 데이터양이 적은 경우에도 통신의 오버헤드가 커지게 됩니다. 다시말해, 통신 시간이 짧더라도 반드시 5Gbps 로 통신하게 되므로, 전송로에는 항상 높은 품질이 요구됩니다. 그에 반해 V-by-One®HS 에서는 입력된 클럭 주파수에 맞는 가변 비트레이트를 이용하고 있기 때문에, 데이터양이 적을 경우에는 입력 클럭 주파수를 내려서, 시리얼 레이트를 600Mbps 까지 낮출 수 있습니다. 시리얼통신 비트레이트가 낮아짐으로서, 전송로에 여유가 생겨, 긴 케이블을 사용하는 것이 가능해집니다. 예를들면, 24bit 폭 75MHz 의 데이터의 경우에는 시리얼 비트레이트가 2.25Gbps 이고, 10m 의 Twinax Cable(28AWG)나 Cat7 LAN 케이블로 10m 정도의 전송이 가능해집니다.

② 에서는 LINK1 쪽과 LINK2 쪽에서 전혀 다른 클럭을 각각 동작시킬 수 있기 때문에, 독립된 시리얼 통신이라고 간주할 수 있습니다. 따라서, LINK1 과 LINK2 에서 전혀 다른 데이터양의 통신을 각각 다른 시리얼통신 데이터 레이트로 운용가능합니다.

③ 은 데이터 전송반지연시간의 계산이 용이하며, 시스템의 동기설계가 간편해져, 시스템 전체의 Throughput 을 높게 유지할 수 있습니다.

V-by-One ®HS 는 PCI Express 와는 다른 접근방법으로 규격화 되어 있기 때문에, 상호 접속성은 없습니다만, PCI Express 의 물리층과 매우 비슷한 구성의 심플한 규격입니다. V-by-One ®HS 를 서포트하는 SerDes 디바이스는 전기적 접속성을 담당하는 단순한 물리층 디바이스로서, 기타 기능은 시스템 요구에 맞게 외부에 실장하는 것으로 다양한 형태의 데이터에 대응되는 인터페이스로서 사용가능합니다.

Copyright©2017 THine Electronics, Inc.

주의사항

1. 본자료의 게재내용은, 예고없이 변경되는 경우가 있습니다.

2. 본자료의 복제・무단전재, 제3자로의 무단공개를 금지합니다.

3. 자인일렉트로닉스 주식회사(이하, 자인일렉트로닉스)는 본자료의 내용을 바탕으로 한 고객사 설계에 대해서 책임을 지지 않습니다. 본자료 게재내용을 바탕으로 설계 적용된 고객사 응용제품에 있어서 상정되는 문제를 최소화하기 위한 최적의 설계상, 취급상의 대책은 고객쪽에서 검토를 부탁드립니다.

4. 본자료 게재내용을 바탕으로 설계를 진행할때는 게재내용을 바탕으로 회로의 오동작이나 고장으로 인한 생명・신체・재산 침해가 없도록 고객사 책임하에 안전한 설계를 진행해 주십시요. 또한, 설계 및 사용시에는 본자료에 기재된 제품에 관한 자료(데이타시트 및 어플리케이션 노트 등)를 확인하고 그 내용에 따라 주십시요.

5. 본자료에 게재된 기술정보(제품데이터, 그림, 표가 나타내는 기술내용, 회로예 등)을 사용할 시에는 고객사쪽에서 충분히 평가한 후에 고객사의 책임하에 적용여부를 판단하여 주십시요.

6. 본자료에 게제된 제품에 관한 기술정보는, 그 대표적 기능・성능을 설명하기 위한 것으로 그 사용에 대한 자인일렉트로닉스 및 제3자의 지적재산권, 기타 권리에 대한 보증 또는 실시권의 승락을 하는 것은 아닙니다.

7. 본자료의 작성에 있어서 세심한 주의를 기울였습니다만, 잘못된 내용이 기재되어 있는 경우가 있습니다. 내용에 문제가 있더라도 자인일렉트로닉스는 책임을 지지 않습니다. 또한, 잘못된 부분이 발견된 경우에 있어서도 즉각 수정되지 못하는 경우가 있으므로 양해를 부탁드립니다.

Copyright©2017 THine Electronics, Inc.