

# テクニカル・ホワイトペーパー

## - PCI express と V-by-One® HS の類似性 -

Jul 2017

### 注意事項

本資料に含まれる情報及びデータ、考察は、いかなる場合でもザインエレクトロニクスがその性能や動作、情報の確度を保証するものではありません。製品のご使用に際してはお客様使用条件下にて十分にご評価いただき、性能・機能がおお客様の要求事項を満たしていることをご確認の上でご使用ください。

### 上位レイヤ構造と各レイヤの役割

PCI Express ではメモリや CPU などコンピュータ上の様々なデバイスとその固有データを取り扱うための汎用的なインターフェースであり、上位レイヤ構造としてトランザクション層、データリンク層、物理層から成ります。対して V-by-One®HS は映像インターフェースにおけるシリアライザ／デシリアライザ（以下、SerDes）の延長線上で考案された 1 対 1 接続片方向のギガビットシリアル通信方式であり、ほぼ物理層のみの非常にシンプルな構造です。下の表は PCI Express のレイヤ構造とその機能に着目して V-by-One®HS と比較したものです。V-by-One®HS は殆ど物理層のみで構成されており、単なる“8b10b シリアルインターフェース”であることが分かります。

PCI Express Gen2 と V-by-One®HS レイヤ比較

レイヤ	主な機能	PCI Express Gen2	V-by-One®HS	
トランザクション層	パケット生成／復号	TLP (コマンド, アドレス, データ)	なし	
	アプリケーション層制御	あり	なし	
データリンク層	パケット生成／復号	TLP (コマンド, アドレス, データ)	3/4/5byteパケット (全てデータ)	
	エラー検出	CRC、パケット欠落	なし	
	エラー訂正	NAKによる再送要求	なし	
	シーケンス番号付加	あり	なし	
物理層	シンボル変換	8b10b	8b10b	
	シリアル変換	10:1	10:1	
	スクランブル	LFSR	LFSR	
	波形等価	Preshoot, De-emphasis, CTLE, DFE	オプション (Pre-emphasis, CTLE)	
	リンク制御	接続検出	相互終端検出	外部端子 (HTPDN) 検出
		Poling	ビット/シンボル同期/レイン極性判別	CDRクロック再生, ビット/シンボル同期
		Config	データレート決定/レイン間デスキュー	なし
		Recovery	データ通信/再生	データ通信/再生
バッファ	CML (5Gbps/lane)	CML(600M - 4Gbps/lane)		

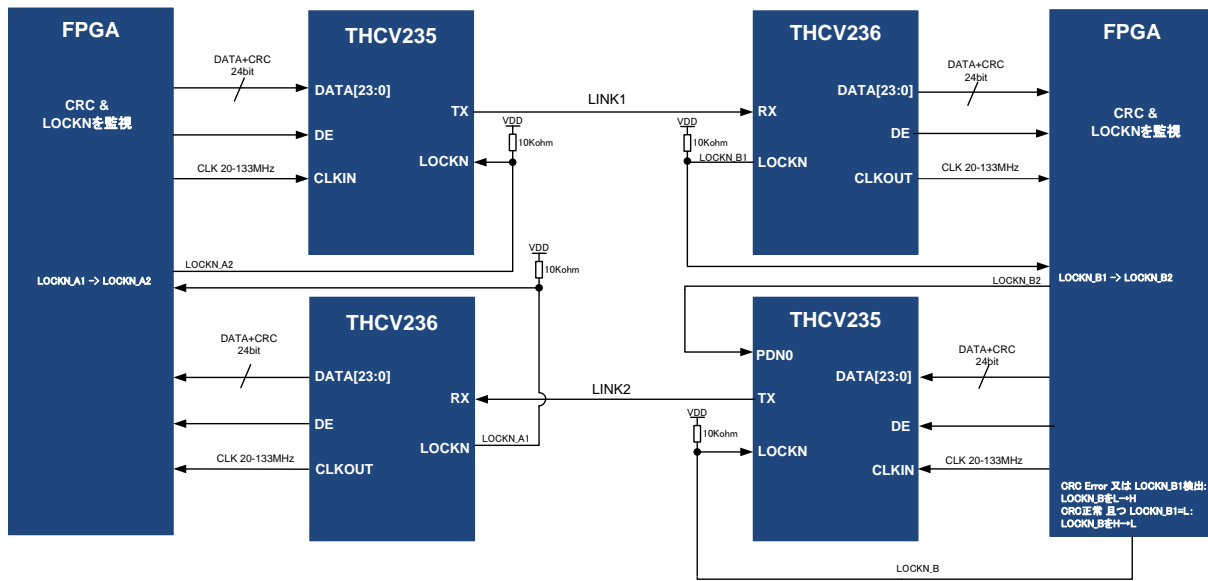
この二つの方式で定義される機能の差は、使用されるシステムで要求される通信品質に対する考え方の違いにあります。PCI Express ではストレージデータなどデータ伝搬遅延時間よりもデータを 100% 確実に伝送することが優先されるため CRC やデータの再送機能が実装されています。したがって伝搬遅延時間は保証されません。またデータのペイロード長

(最大 4096 Byte) 毎にシーケンス番号やヘッダ、CRC 等のデータが付加されるため、シリアル通信におけるオーバーヘッドは 8b10b 変換による 20% よりも必ず大きくなり、多くの場合は実効レートが 80% を下回ります。

対して V-by-One®HS ではエラーデータに対する訂正や再送処理は定義されておらずデータ伝搬時間を優先しています。インターフェースとしての伝搬遅延時間はほぼ物理層のみで構成される通信デバイスと基板やケーブルの伝搬遅延時間で決まるため、遅延時間が短くバラツキも抑えられます。これにより映像信号の場合はリアルタイム映像が伝搬されるものの、一方でデータエラーが発生した場合は映像の乱れが生じます。しかしこのような映像乱れが頻繁に起こることが許されるわけがなく、PCI Express の  $10^{-12}$  や V-by-One®HS の  $10^{-9} \times (30 \sim 50)^{-1}$  といったエラーレートでは高すぎるため、V-by-One®HS システムにおける実際のエラーレートはかなり低く抑えられています。またペイロード長の規定もないため実効レートはほぼ 80% 固定となります。

## V-by-One®HS の PCI Express 的活用

2つの方式には構造や機能に違いはあるものの、V-by-One®HS は PCI Express の物理層とかなり似た仕様です。逆に言えばユーザーが必要な機能をトランザクション層やデータリンク層として V-by-One®HS の外部に実装することで、V-by-One®HS を PCI Express ライクに使用することが出来るということです。下図は物理層にザインエレクトロニクスの THCV シリーズを使用し、CRC などの V-by-One®HS にはない機能を FPGA に実装することで、PCI Express システムを上回る伝送効率と伝送長、短い伝搬遅延時間を実現する例です。PCI Express のような汎用性はありませんが、ユーザー側で不特定多数のペリフェラルを接続することがない特定用途の産業機器などではシンプルで非常に効率の良い通信システムを構築できます。



### THCV シリーズによる双方向通信構成

THCV シリーズを使用した上記双方向通信構成では PCI Express にはない下記のような特徴があります。

- ① シリアル通信ビットレートが低く抑えられる。
- ② LINK1 と LINK2 が非同期で使用可能。
- ③ 伝搬遅延は 300ns 程度、バラツキが ns オーダー。

①はシリアル通信ビットレートの違いに起因します。PCI Express ではシリアル通信ビットレートが 5Gbps (Gen2) で固定のため、データ量が少ない場合でも通信のオーバーヘッドが大きくなります。つまり通信時間は短くても必ず 5Gbps で通信することになるので、伝送路には常に高い品質が要求されます。対して V-by-One<sup>®</sup>HS では入力されるクロック周波数に応じた可変ビットレートを採用しているため、データ量が少ない場合は入力クロック周波数を下げることでシリアルレートを 600Mbps まで下げることが出来ます。シリアル通信ビットレートが低くなることで、伝送路に余裕が生まれ長いケーブルを使用することも可能になります。例えば 24bit 幅 75MHz のデータの場合はシリアルビットレートが 2.25Gbps であり、10m のツイナックスケーブル (28AWG) や Cat7 LAN ケーブルで 10m 程度の伝送が可能です。

②では LINK1 側と LINK2 側で全く異なるクロックを源振として動作させることが出来るため、各々独立したシリアル通信とみなすことが出来ます。したがって、LINK1 と LINK2 で全く異なるデータ量の通信を各々異なるシリアル通信データレートで運用可能です。

③はデータ伝搬遅延時間の計算が容易でありシステムの同期設計が容易になるため、システム全体のスループットを高く保つことが出来ます。

V-by-One<sup>®</sup>HS は PCI Express とは異なるアプローチで規格化されているため相互接続性はありませんが、PCI Express の物理層と良く似た構成のシンプルな規格です。V-by-One<sup>®</sup>HS をサポートする SerDes デバイスは電氣的接続性を担う単なる物理層デバイスであり、その他の機能はシステム要求に応じて外部に実装することで様々な形のデータに対応するインターフェースとして使用可能です。

## 注意事項

1. 本資料の掲載内容は、予告なしに変更されることがあります。
2. 本資料の複製・転載、第三者への無断公開を禁じます。
3. ザインエレクトロニクス株式会社（以下、ザインエレクトロニクス）は本資料の内容に基づくお客様の設計について責任を負うことはありません。本資料掲載内容に基づく設計が適用されたお客様の応用製品において想定される不具合を最小のものとするため、適切な設計上および取り扱い上の対策は、お客さまにてご検討下さい。
4. 本資料掲載内容に基づく設計を行う際は、掲載内容に基づく回路の誤動作や故障により生命・身体・財産が侵害されることのないようお客様責任において安全な設計を行って下さい。なお、設計およびご使用に際しては本資料中に記載された製品に関する資料（データシートやアプリケーションノート等）をご確認の上、これに従って下さい。
5. 本資料に掲載された技術情報（製品データ、図、表が示す技術内容、回路例等）を使用する際は、お客様にて十分にご評価の上、お客様の責任において適用可否をご判断ください。
6. 本資料に掲載された製品に関する技術情報は、その代表的な機能・性能を説明するためのものであり、その使用に際してザインエレクトロニクスおよび第三者の知的財産権、その他権利に対する保証または実施権の許諾を行うものではありません。
7. 本資料の作成におきましては細心の注意を払っておりますが、内容に誤りがあることが御座います。内容に誤りがあった場合でもザインエレクトロニクスがその責任を負うことはありません。また、誤りが発見された場合におきましても、直ちに修正されない場合が御座いますので、ご了承ください。