

# THC7984

## 10-bit 3-channel Video Signal Digitizer

### 概要

THC7984 は、アナログビデオ信号をデジタル信号に変換するために必要な機能を1チップに搭載した LSI です。

### 入力対応信号

PC 出力 (RGB) VGA ~ UXGA

セパレートシンク  
コンポジットシンク  
シンクオングリーン

コンポーネントビデオ (YPbPr)

SDTV (480i / 480p) 2 値同期信号

HDTV (1080i / 720p / 1080p) 3 値同期信号

コピーガードパルス

### アプリケーション

液晶テレビ・プラズマテレビ  
リアプロジェクションテレビ  
液晶ディスプレイ・プラズマディスプレイ  
フロントプロジェクター 等

### 特長

最高 170MSPS 10-bit ADC

内部 14-bit 高性能 ADC

オーバーサンプリング (2x ~ 8x)

低ジッタラインロック PLL

フェーズ調整 64 段階

アナログビデオスイッチ 入力 2 系統

高精度クランプ・プリアンプ

ペDESTAL/センター

オフセット自動調整

低ゲインミスマッチプリアンプ

ゲイン調整 2048 段階

ビデオフィルタ

カットオフ周波数 28 段階 (6MHz ~ 310MHz)

シンクプロセッサ

2 値 / 3 値同期スライサ

各種同期信号測定・監視機能

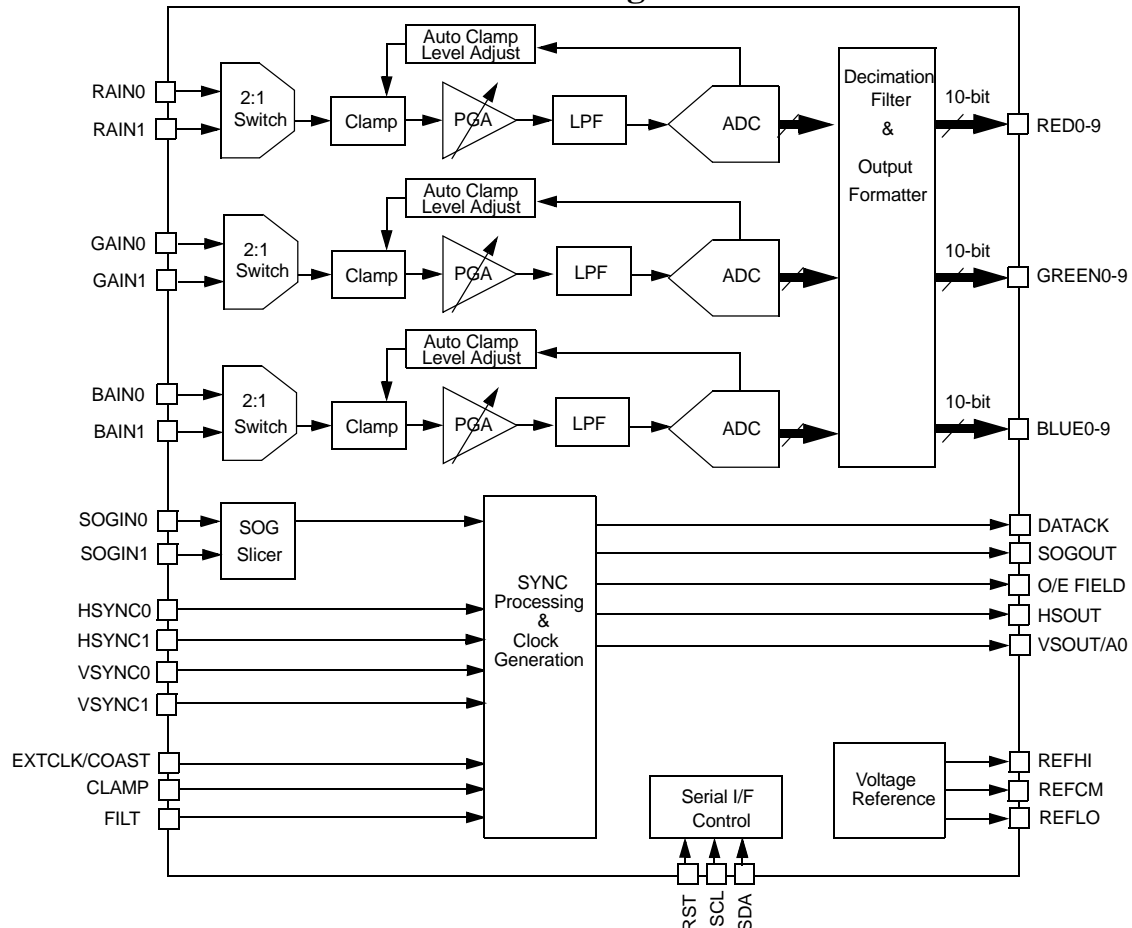
自動設定機能

割り込み要求出力

2 線シリアルインターフェース

LQFP 80-pin パッケージ

### Block Diagram



## ■ 電気的特性

VD=1.8V, VDD=3.3V, PVD=1.8V, DAVDD=1.8V, ADC Clock=Maximum Conversion Rate, Full Temperature Range=0° C to 70° C  
Analog Input Voltage=0.5 to 1.0Vpp

Parameter	Temp	Test Level	THC7984-17			Unit		
			Min	Typ	Max			
RESOLUTION	Number of Bits			10		Bits		
	LSB Size			0.098		%FS		
DC ACCURACY	25° C	I	Differential Nonlinearity		± 0.75	± 1	LSB	
			Integral Nonlinearity			-1.0/+1.25	LSB	
	Full	VI	Integral Nonlinearity		± 1.5	± 3	LSB	
			No Missing Code		Guaranteed		LSB	
ANALOG INPUT	Full	VI	Minimum Input Voltage		0.5	V p-p		
	Full	VI	Maximum Input Voltage		1.0	V p-p		
	25° C	V	Gain Tempco		100	ppm/° C		
	25° C	IV	Input Bias Current*1		1	μA		
					1	μA		
	Full	VI	Input Offset Voltage		± 1	LSB		
	Full	VI	Input Full-Scale Matching Between Channels		0.2	0.8	%	
Full	VI	Offset Adjustment Range		50	%FS			
SWITCHING PERFORMANCE	Full	VI	Maximum Conversion Rate		170	MSPS		
	Full	IV	Minimum Conversion Rate			10	MSPS	
	Full	IV	Data Setup Time to Clock*2		0.48Tpixel-2.1	ns		
	Full	IV	Data Hold Time to Clock*2		0.48Tpixel-0.4	ns		
	Full	IV	Duty Cycle, DATA*2		40	50	60	%
	Full	IV	HSYNC Input Frequency		15	110	kHz	
	Full	VI	Maximum PLL Clock Rate		170		MHz	
	Full	IV	Minimum PLL Clock Rate			10	MHz	
	25° C	V	PLL Jitter*3		500		ps p-p	
	Full	IV	Sampling Phase Tempco		15		ps/° C	
2-WIRE SERIAL INTERFACE	Full	IV	SCL Clock Frequency (fSCL)			100	kHz	
	Full	IV	tBUFF		4.7		μs	
	Full	IV	tSTAH		4.0		μs	
	Full	IV	tDHO		0	3.45	μs	
	Full	IV	tDAL		4.7		μs	
	Full	IV	tDAH		4.0		μs	
	Full	IV	tDSU		250		ns	
	Full	IV	tSTASU		4.7		μs	
	Full	IV	tSTOSU		4.0		μs	
	Full	IV	Tr			1000	ns	
	Full	IV	Tf			150	ns	
	Full	IV	Capacitive Load (Cb)			400	pF	
	Full	IV	Noise margin at the LOW level (VnL)		0.2		V	
	Full	IV	Noise margin at the HIGH level (VnH)		0.25		V	
DIGITAL INPUTS	Full	VI	Input Voltage, High (VIH)		1.4		V	
	Full	VI	Input Voltage, Low (VIL)			0.8	V	
	Full	V	Input Current, High (IIH)			10	μA	
	Full	V	Input Current, Low (IIL)			10	μA	
	25° C	V	Input Capacitance			2	pF	
DIGITAL OUTPUTS	Full	VI	Output Voltage, High (VOH)		VDD-0.2		V	
	Full	VI	Output Voltage, Low (VOL)			0.2	V	
	Output Coding				Binary			
POWER SUPPLY	Full	IV	VD Supply Voltage		1.7	1.8	1.9	V
	Full	IV	VDD Supply Voltage		2.3	3.3	3.45	V
	Full	IV	PVD Supply Voltage		1.7	1.8	1.9	V
	Full	IV	DAVDD Supply Voltage		1.7	1.8	1.9	V
	25° C	V	ID Supply Current (VD)				295	mA
	25° C	V	IDD Supply Current (VDD)*4				180	mA
	25° C	V	IPVD Supply Current (PVD)				30	mA
	25° C	V	IDAVDD Supply Current (DAVDD)				65	mA
	Full	VI	Total Power Dissipation				1350	mW
	Full	VI	Power-Down Supply Current			10	20	mA
	Full	VI	Power-Down Dissipation			20	40	mW
THERMAL CHARACTERISTICS	Operating Ambient Temperature		IV	0		70	° C	
	25° C	V	θ JC Junction-to-Case Thermal Resistance		4		° C/W	
	25° C	V	θ JA Junction-to-Ambient Thermal Resistance		37		° C/W	

\*1 Input Bias Voltage: 0.05V to VD-0.05V

\*2 See "Data/Clock Output Test Condition".

\*3 THC7984-17: UXGA@60Hz

\*4 Output Load Capacitance per Pin: 15pF

### EXPLANATION OF TEST LEVELS

Test Level

I. 100% production tested.

II. 100% production tested at +25° C and sample tested at specified temperatures.

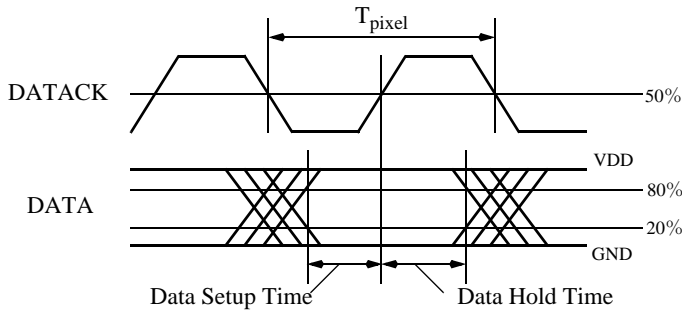
III. Sample tested only.

IV. Parameter is guaranteed by design and characterization testing.

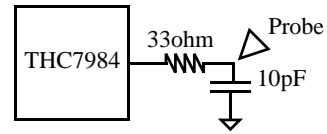
V. Parameter is a typical value only.

VI. 100% production tested at +25° C; guaranteed by design and characterization testing.

< Data Setup/Hold Time to Clock >



< Data /Clock Output Test Condition >



DATAACK: Pixel Clock  
 DATAACK Phase: 4  
 Output Format: Normal (not DDR)  
 Output Drive Strength (VDD=3.3V): Medium

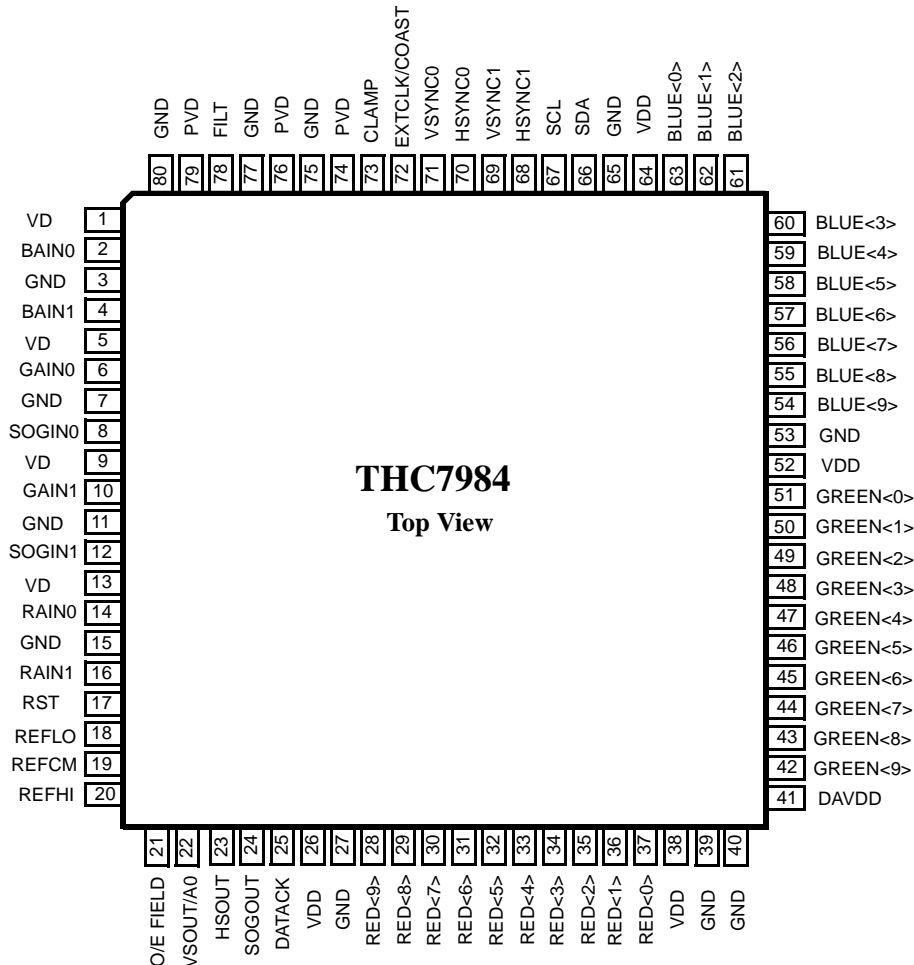
\*DATAACK output phase is register programmable.

■絶対最大定格

Parameter	Min	Max	Unit
VD		2.1	V
VDD		3.8	V
PVD		2.1	V
DAVDD		2.1	V
Analog Inputs	-0.2	VD+0.2 or 2.1*1	V
Digital Inputs	-0.3	PVD+3.6 or 5.5V*1	V
Storage Temperature	-55	150	°C
Maximum Junction Temperature		125	°C

\*1 Smaller Value is adopted.

■端子配置



## ■ 端子一覽

Pin Name	Type	Function
VD	P	Analog Power Supply
VDD	P	Output Power Supply
PVD	P	PLL Power Supply
DAVDD	P	Digital Core Power Supply
GND	P	Ground
BAIN0	AI	B-ch Analog Input, Port 0
BAIN1	AI	B-ch Analog Input, Port 1
GAIN0	AI	G-ch Analog Input, Port 0
SOGIN0	AI	Sync on Green Input, Port 0
GAIN1	AI	G-ch Analog Input, Port 1
SOGIN1	AI	Sync on Green Input, Port 1
RAIN0	AI	R-ch Analog Input, Port 0
RAIN1	AI	R-ch Analog Input, Port 1
RST	DI	Reset Input Low: Normal Operation High: Power Down (Stand-by) High → Low: Chip Reset
REFLO	-	Connection for External Capacitor
REFCM	-	Connection for External Capacitor
REFHI	-	Connection for External Capacitor
O/E FIELD	DO	Field Parity Output for Interlaced Video <Other Function> Data Enable (DE) Output Sync Processor IRQ Output
VSOUT/A0	DIO	VSYNC Output / Serial Interface Device Address bit 0 (A0)
HSOUT	DO	HSYNC Output
SOGOUT	DO	SOG Slicer Output
DATAACK	DO	Data Clock Output
RED<9:0>	DO	R-ch Data Output
GREEN<9:0>	DO	G-ch Data Output
BLUE<9:0>	DO	B-ch Data Output
SCL	DI	Serial Port Data Clock Input
SDA	DIO	Serial Port Data I/O
HSYNC1	DI	HSYNC Input, Port 1
VSYNC1	DI	VSYNC Input, Port 1
HSYNC0	DI	HSYNC Input, Port 0
VSYNC0	DI	VSYNC Input, Port 0
EXTCLK/COAST	DI	External Clock Input / Coast Signal Input
CLAMP	DI	External Clamp Pulse Input <Other Function> Reference Clock Input for HSYNC Period Measure
FILT	-	Connection for PLL Loop Filter

P:Power AI:Analog Input DI:Digital Input DO:Digital Output DIO:Digital Input/Output

## ■機能概要

### □デジタル入力

- すべてのデジタル入力端子は 5V トレラントです（ただし、電源が供給されていることが必要です）。

### □アナログ入力

- RGB または YPbPr 入力用に 3 チャンネルの入力システムが 2 システムあり、レジスタ設定により入力システムを切り替えます。
- YPbPr 入力の場合は、Y を端子 GAIN0 / GAIN1 および SOGIN0 / SOGIN1、Pr を端子 RAIN0 / RAIN1、Pb を端子 BAIN0 / BAIN1 に入力して下さい。
- 0.5Vpp から 1.0Vpp アナログ入力に対応します。

### □ビデオフィルタ

- コンポーネントビデオ入力 (YPbPr) 用のアンチエイリアスフィルタとして 5 次のローパスフィルタを内蔵しており、カットオフ周波数を 6 ~ 92MHz の範囲において 24 段階でレジスタ設定可能です。
- PC 入力 (RGB) 用のノイズ、グリッチフィルタ用として 2 次のローパスフィルタを内蔵しており、カットオフ周波数を 4 段階 (40MHz / 90MHz / 170MHz / 310MHz) でレジスタ設定可能です。

### □シリアルインターフェース

- 2 線シリアルインターフェースを用いて各種設定、制御を行います。
- SCL は 100kHz まで対応します。

### □同期信号入力

- セパレートシンク (HSYNC / VSYNC) の入力システムが 2 システムあり、レジスタ設定により入力システムを切り替えます。
- コンポジットシンク (CSYNC) にも対応可能です。CSYNC は端子 HSYNC0 または HSYNC1 より入力して下さい。

### □デジタル出力

- デジタル出力端子は 2.5V ~ 3.3V で動作可能です。
- 出力電流強度は 4 段階で切り替え可能です (SDA を除く)。

### □クランプ

- RGB、Y (輝度信号) 用にペダスタルクランプが可能であり、オフセットキャンセルにより 0 レベルにクランプされます。
- PrPb 用にセンタークランプが可能であり、オフセットキャンセルにより 512 レベルにクランプされます。
- シンクオンビデオ (Y 信号) のシンク部分を含めて A/D 変換するために、「256 レベルクランプ」が可能です。この場合は、ADC のフルスケール (最大 1Vpp) の範囲内に収めるためにアナログ信号を抵抗分圧等でアッテネートすることが必要です。
- クランプパルスは外部 (端子 CLAMP/REFCLK) より入力することが可能です。

### □ゲイン/オフセット調整

- ゲイン設定は各チャンネル独立に 2048 段階で設定可能です。
- 出力コードに -256LSB ~ +255LSB のオフセットを与えることが可能です。
- ゲインとオフセットは独立に調整が可能です。

### □リファレンス電圧

- バンドギャップリファレンス回路を内蔵しており、外部よりリファレンス電圧を与える必要はありません。
- 内部で生成した電圧を安定させるために、端子 REFHI / REFCM / REFLO にはデカップリング容量を接続する必要があります。

#### □ サンプリングクロック生成

- ・入力された同期信号からサンプリングクロック生成を行うために PLL を内蔵しており、10MHz ~ 170MHz のサンプリングクロックが生成可能です。
- ・通倍率（水平総ピクセル数）は 200 ~ 8191 まで設定可能です。
- ・サンプリングクロックは T/64 単位で 64 段階シフトさせることが可能です。
- ・サンプリングクロックを外部入力することも可能です。
- ・入力信号のフォーマット（解像度）に応じて、VCO とチャージポンプ電流の設定を行う必要があります。

#### □ オーバーサンプリング

- ・コンポーネントビデオ入力 (YPbPr) 用にオーバーサンプリングが可能です。ピクセルレート以上のサンプリングクロックを用いて A/D 変換を行い、デジタルフィルタ（デシメーションフィルタ）でダウンサンプリングすることで、S/N 比を向上させることが可能です。
- ・オーバーサンプリングの倍率は 4 段階（なし / 2x / 4x / 8x）で切り替え可能です（倍率を切り替えても出力クロック周波数、出力データレートは変化しません）。

#### □ クロック出力 (DATAACK)

- ・出力データのセットアップ / ホールド調整用に、8 段階の位相シフトが可能です。
- ・2 分周クロックが出力可能ですので、後段においてデュアルエッジを用いたデータ取り込みが可能です（オーバーサンプリング設定時は利用できません）。

#### □ SOG スライサ

- ・シンクオングリーン信号 (SOG) は、シンクチップを基準にレジスタ設定されるスライスレベルで同期信号を切り出します。スライスレベルは 15mV ~ 240mV の範囲において 15mV ステップでレジスタ設定可能です。
- ・スライサの前段にローパスフィルタを内蔵しておりますので、ノイズによる誤動作を防止することが可能です。ローパスフィルタはレジスタ設定で ON / OFF 切り替え可能です。
- ・スライサには約 30mV のヒステリシスがついておりますので、ノイズによる誤動作を防止することが可能です。ヒステリシスはレジスタ設定で ON / OFF 切り替え可能です。
- ・3 値同期信号にも対応しており、ペDESTAL レベルで同期信号を切り出すことが可能です。

#### □ シンクプロセッサ

シンクプロセッサでは、垂直同期分離、垂直タイミングの生成、同期信号の測定を行います。また、同期信号の測定機能を利用した自動設定機能が利用可能です。コピーガード信号にも対応可能です。

##### (1) 垂直同期分離

コンポジットシンク (CSYNC) やシンクオングリーン信号 (SOG) から、VSYNC を分離します。

##### (2) 垂直タイミングの生成

- ・出力 VSYNC の生成
- ・PLL COAST 信号の生成
- ・クランプ COAST 信号の生成
- ・DE 抑制期間の生成

##### (3) 同期信号の測定

- ・入力シンクタイプ判定（セパレートシンク / コンポジットシンク / シンクオングリーン / 無入力）
- ・入力 HSYNC / 入力 VSYNC 極性判定
- ・3 値同期判定
- ・インターレース検出
- ・垂直総ライン数測定
- ・入力 VSYNC パルス幅測定
- ・水平周期測定（端子 CLAMP にリファレンスクロックを入力することが必要）
- ・入力同期信号変化監視
- ・入力 HSYNC 遷移監視
- ・シンクプロセッサによる割り込み要求出力

(4) 自動設定機能 (マニュアル設定に切り替えることも可能)

- ・自動出力イネーブル (信号入力時に出力イネーブルにする)
- ・入力ポート自動設定 (信号入力活性のポートを選択)
- ・同期信号形式自動設定 (HSYNC / VSYNC 入力端子の選択)
- ・入力 HSYNC / 入力 VSYNC 極性自動設定
- ・出力 HSYNC / 出力 VSYNC 極性自動設定
- ・出力 VSYNC タイミング自動設定
- ・PLL COAST タイミング自動設定

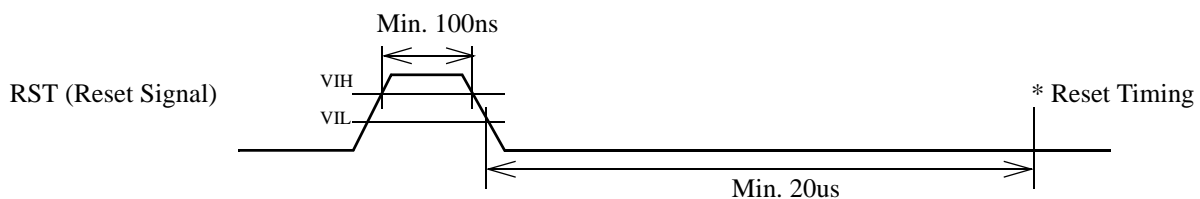
□パワー制御

- ・レジスタ、または端子 RST の制御によりスタンバイ状態に設定することが可能です。
- ・スタンバイ状態ではアナログ回路のほとんどの部分がパワーダウンしますので、消費電力を低減することができます。
- ・スタンバイ状態においても、SOG スライサやシンクプロセッサ、シリアルインターフェース等は動作しますので、信号の監視や測定などを行うことが可能です。
- ・端子 RST に High を入力するとスタンバイ状態になります。この端子を使用しない場合には抵抗でプルダウンして下さい。

□リセット

- ・端子 RST が Low の状態で電源投入した場合にはパワーオンリセットがかかります。
- ・端子 RST を制御することでリセットをかけることも可能です。端子 RST を High から Low にトグルさせたときにリセットがかかります (マニュアルリセット)。すなわち、端子 RST によるスタンバイ状態を解除するときには必ずリセットがかかります。
- ・電源投入後、シリアルインターフェースにアクセスする前に、必ずリセットがかかっていることが必要です。端子 RST が Low の状態で電源投入してパワーオンリセットをかけるか、電源投入後に端子 RST を High から Low にトグルさせてマニュアルリセットをかけて下さい。この端子を使用しない場合には抵抗でプルダウンして下さい。
- ・リセット時には、レジスタには初期値が書き込まれます。これにより、リセット後には、出力ディセーブル (Hi-Z)、デバイスはスタンバイモードになります。通常動作をする場合は、シリアルインターフェースを用いて、出力イネーブル、パワーオンにレジスタ設定する必要があります。

- ・マニュアルリセットをかける場合には、端子 RST を High から Low にトグルさせた後、20us 以上 Low を保持して下さい。



□デバイスアドレス

- ・2 線シリアルインターフェースのデバイスアドレス 7 ビットのうち下位 1 ビットは、リセット時に端子 VSOUT/A0 から取得されます。

端子 VSOUT を抵抗 (10kΩ) でプルダウン : デバイスアドレスは 1001100 になります。

端子 VSOUT を抵抗 (10kΩ) でプルアップ : デバイスアドレスは 1001101 になります。

- ・プルアップの場合は抵抗を VDD に接続して下さい。



## ■ レジスタ

### □ レジスタの表記

アドレスは、先頭に”R”を付けて、16進数で表記します。（例）R00 アドレス00番地のレジスタ  
 ビット位置は、”[]”を用いて表記します。（例）R04[1:0] アドレス04番地のビット1、ビット0  
 レジスタ値は、16進数で表記する場合、末尾に”h”を付けます。（例）R01=18h  
 レジスタ値は、2進数で表記する場合、末尾に”b”を付けます。（例）R04[1:0]=11b  
 レジスタ値は、10進数で表記する場合、末尾に何も付けません。（例）R15[7:0]=32

### □ レジスタの分類

<レジスタの分類>

表記	分類	説明	レジスタ
R/W	Read/Write	設定・調整を行うためのレジスタ	下記以外
R	Read Only	測定結果・監視結果が格納されるレジスタ	R00, R2C~R30, R32~R34
A	Auto	自動設定が可能なレジスタ ・自動設定イネーブルの場合はRead Onlyになり、自動設定されている値が読み出せます。 ・自動設定ディセーブルの場合はRead/Writeになり、マニュアルで設定します。	R12[3], R12[1:0], R13[5], R13[4], R13[2], R13[1], R20[6:0], R21[5:0], R22[6:0], R23[6:0]
EVRC	Event Recorder	同期プロセッサで観測されたイベントの発生を記録するレジスタ ・各種イベントが発生すると1がセットされます。 ・1を書き込む動作によって値がクリアされます。	R35

### □ デフォルト値

全レジスタはリセット（パワーオンリセット、端子RSTによるリセット）により、あらかじめ決められた値（デフォルト値）がセットされます。

### □ 負数の設定

負数を設定するレジスタは、2の補数表現を用いて設定します。

<負数の設定>

設定内容	レジスタ	設定範囲
クランプレベルオフセット	R0C/R0D, R0E/R0F, R10/R11	-256~+255
出力HSYNC開始位置	R14	-128~+127
出力VSYNC開始位置	R20	-64~+63



□レジスタマップ

Address	Bit	R/W	Default Value	Function	Description
R 00	7	R	0	リビジョンコード	21hが読み出せる。
	6	R	0		
	5	R	1		
	4	R	0		
	3	R	0		
	2	R	0		
	1	R	0		
	0	R	1		
R 01	7				
	6				
	5				
	4	R/W	0	チップパワーオン	0: パワーダウン(スタンバイモード) 1: パワーオン(通常動作)
	3	R/W	0	自動出カインーブル(信号入力活性時に全出カインーブルになる)	0: デイセーブル 1: イネーブル
	2	R/W	0	出カインーブル(SOGOUT, IRQを除く)	0: デイセーブル 1: イネーブル
	1	R/W	0	SOGOUT出カインーブル	0: デイセーブル 1: イネーブル
0	R/W	0	Reserved	0に設定して下さい	
R 02	7				
	6	R/W	0	オーバーサンプリング	00b: 1x(通常動作) 01b: 2x 10b: 4x 11b: 8x
	5	R/W	0		
	4	R/W	0	PLL 通倍率	水平総ピクセル数を設定する。
	3	R/W	0		
	2	R/W	1		
	1	R/W	1		
	0	R/W	0		
R 03	7	R/W	1		
	6	R/W	0		
	5	R/W	0		
	4	R/W	1		
	3	R/W	1		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 04	7	R/W	1	Reserved	1に設定してください(デフォルト値)
	6	R/W	1	VCO周波数レンジ	00b: 1/8 01b: 1/4 10b: 1/2 11b: 1/1
	5	R/W	1		
	4	R/W	1	チャージポンプ電流	000b: 50 $\mu$ A 001b: 100 $\mu$ A 010b: 150 $\mu$ A 011b: 250 $\mu$ A 100b: 350 $\mu$ A 101b: 500 $\mu$ A 110b: 750 $\mu$ A 111b: 1000 $\mu$ A
	3	R/W	0		
	2	R/W	0		
	1	R/W	0	サンプリングクロック生成源	00b: 内部生成 01b: Reserved 10b: 外部入力(10~20MHz) 11b: 外部入力(20MHz~170MHz)
0	R/W	0			
R 05	7				
	6				
	5	R/W	0	サンプリングクロック位相	64段階で調整が可能。 設定値を増やすごとにサンプリングクロックの位相が $\pi/64$ (標準値)ずつ 遅い側にシフトする。
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
0	R/W	0			
R 06	7				
	6				
	5				
	4				
	3				
	2	R/W	1	R-ch ゲイン	0.5倍から1.5倍まで2048段階で設定可能 設定値を大きくするとゲインが大きくなる。 ゲイン = (設定値 + 1024) / 2048
	1	R/W	0		
0	R/W	0			
R 07	7	R/W	0		
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		

R 08	7				
	6				
	5				
	4				
	3				
	2	R/W	1	G-ch ゲイン	0.5倍から1.5倍まで2048段階で設定可能 設定値を大きくするとゲインが大きくなる。 ゲイン = (設定値 + 1024) / 2048
	1	R/W	0		
0	R/W	0			
0	R/W	0			
R 09	7	R/W	0		
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
0	R/W	0			
R 0A	7				
	6				
	5				
	4				
	3				
	2	R/W	1	B-ch ゲイン	0.5倍から1.5倍まで2048段階で設定可能 設定値を大きくするとゲインが大きくなる。 ゲイン = (設定値 + 1024) / 2048
	1	R/W	0		
0	R/W	0			
0	R/W	0			
R 0B	7	R/W	0		
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
0	R/W	0			
R 0C	7				
	6				
	5				
	4				
	3				
	2				
	1				
0	R/W	0	R-ch クランプレベルオフセット	設定値は2の補数で表現し、1LSB単位で設定する。 設定可能範囲 -256 ~+255	
7	R/W	0			
6	R/W	0			
5	R/W	0			
4	R/W	0			
3	R/W	0			
2	R/W	0			
1	R/W	0			
0	R/W	0			
R 0E	7				
	6				
	5				
	4				
	3				
	2				
	1				
0	R/W	0	G-ch クランプレベルオフセット	設定値は2の補数で表現し、1LSB単位で設定する。 設定可能範囲 -256 ~+255	
7	R/W	0			
6	R/W	0			
5	R/W	0			
4	R/W	0			
3	R/W	0			
2	R/W	0			
1	R/W	0			
0	R/W	0			

R 10	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0	R/W	0	B-ch クランプレベルオフセット	設定値は2の補数で表現し、1LSB単位で設定する。 設定可能範囲 -256 ~+255
R 11	7	R/W	0		
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 12	7	R/W	0	Reserved	0に設定して下さい
	6	R/W	0	Reserved	0に設定して下さい
	5	R/W	1	入力ポート自動設定イネーブル	0: ディセーブル 1: イネーブル
	4	R/W	0	Reserved	0に設定して下さい
	3	A	0	入力ポート選択	0: ポート0 1: ポート1
	2	R/W	1	同期信号形式自動設定イネーブル	0: ディセーブル 1: イネーブル
	1	A	0	同期信号形式選択	00b: Separate Sync 01b: Compite Sync 10b: Sync on Video(2値) 11b: Sync on Video(3値)
	0	A	0		
R 13	7				
	6	R/W	1	HSYNC・VSYNC入力極性自動設定イネーブル	0: ディセーブル 1: イネーブル
	5	A	0	HSYNC入力極性	0: Active-Low 1: Active-High
	4	A	0	VSYNC入力極性	0: Active-Low 1: Active-High
	3	R/W	1	HSYNC・VSYNC出力極性自動設定イネーブル	0: ディセーブル 1: イネーブル(出力極性を入力極性と同一にする)
	2	A	0	出力HSYNC(HSOUT)極性	0: Active-Low 1: Active-High
	1	A	0	出力VSYNC(VSOUT)極性	0: Active-Low 1: Active-High
	0	R/W	1	出力VSYNC(VSOUT)インターレースモードイネーブル	0: ディセーブル 1: イネーブル
R 14	7	R/W	0	出力HSYNC(HO)開始位置(2の補数で設定する)	入力HSYNCのリーディングエッジを基準に、1ピクセル単位で設定する。 設定可能範囲 -128~127
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 15	7	R/W	0	出力HSYNC(HO)パルス幅	1ピクセル単位で設定する。 設定可能範囲 1~255 * 設定値が0の場合はHOは遷移しない。
	6	R/W	0		
	5	R/W	1		
	4	R/W	0		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 16	7				
	6				
	5				
	4	R/W	0	PLL COAST信号生成源	0: 内部生成 1: 外部入力
	3	R/W	1	PLL COAST/クランプCOAST信号入力極性(外部入力の場合に有効)	0: Active-Low 1: Active-High
	2	R/W	0	クランプパルス生成源	0: 内部生成 1: 外部入力
	1	R/W	1	クランプパルス入力極性(外部入力の場合に有効)	0: Active-Low 1: Active-High
	0	R/W	0	クランプCOAST信号生成源	0: 内部生成 1: 外部入力
R 17	7				
	6	R/W	1	クランプパルス生成基準エッジ(ペDESTアルクランプ・センタークランプ時)	0: 入力HSYNCのリーディングエッジ 1: 入力HSYNCのトレーリングエッジ
	5	R/W	0	R-ch クランプモード	00b: ペDESTアルクランプ 01b: センタークランプ 10b: Reserved 11b: 256クランプ
	4	R/W	0		
	3	R/W	0	G-ch クランプモード	00b: ペDESTアルクランプ 01b: センタークランプ 10b: Reserved 11b: 256クランプ
	2	R/W	0		
	1	R/W	0	B-ch クランプモード	00b: ペDESTアルクランプ 01b: センタークランプ 10b: Reserved 11b: 256クランプ
	0	R/W	0		

R 18	7	R/W	0	クランプパルス開始位置	クランプパルス生成基準エッジを基準に、1ピクセル単位で設定する。
	6	R/W	0		
	5	R/W	0		
	4	R/W	0		
	3	R/W	1		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 19	7	R/W	0	クランプパルス幅	1ピクセル単位で設定する。 *0に設定した場合はクランプパルスを生成しない。
	6	R/W	0		
	5	R/W	0		
	4	R/W	1		
	3	R/W	0		
	2	R/W	0		
	1	R/W	0		
	0	R/W	0		
R 1A	7				
	6	R/W	1	SOGスライサヒステリシスイネーブル	0: デイセーブル 1: イネーブル
	5	R/W	1	SOG入力フィルタ	00b: デイセーブル 01b: イネーブル 10b,11b: Reserved (デフォルト値からの変更が必要)
	4	R/W	0		
	3	R/W	0	SOGスライスレベル	シンクチップレベルを基準に15mVから240mVを15mV単位で設定する。 0000b: 15mV ~ 1111b: 240mV
	2	R/W	1		
	1	R/W	0		
	0	R/W	0		
R 1B	7	R/W	0	SOGOUT出力極性	0: Active-Low 1: Active-High
	6	R/W	0	端子SOGOUT出力信号選択	00b: Raw Hsync 01b: Regenerated Hsync 10b: Filtered Hsync 11b: Reserved
	5	R/W	0		
	4	R/W	1	プリアンプバンド幅 (Low Pass Filter)	
	3	R/W	1		
	2	R/W	0		
	1	R/W	1		
	0	R/W	0		
R 1C	7	R/W	0	出力フォーマット選択	00b: 4:4:4出力 01b: 4:4:4DDR出力 10b: 4:2:2出力 11b: 4:2:2DDR出力
	6	R/W	0		
	5	R/W	1	4:2:2 デシメーション	0: デイセーブル 1: イネーブル
	4	R/W	0	出カクロック選択	00b: Pixel Clock 01b: 1/2x Pixel Clock (オーバーサンプリング時は不可) 10b: OSCクロック (約40MHz) 11b: Reserved
	3	R/W	0		
	2	R/W	1	出カクロック位相選択	8段階で調整が可能 設定値を増やすごとに出力クロックの位相が45度(標準値)ずつ遅い側にシフトする。
	1	R/W	0		
	0	R/W	0		
R 1D	7	R/W	1	Reserved	01bに設定して下さい(デフォルト値からの変更が必要)
	6	R/W	0		
	5	R/W	0	RGB/YUVディジタルデータ出力電流強度	00b: Weak 01b: Medium 10b: Strong 11b: Very Strong
	4	R/W	1		
	3	R/W	0	制御信号出力(SOGOUT/HsOUT/VsOUT/OEFIELD)電流強度	00b: Weak 01b: Medium 10b: Strong 11b: Very Strong
	2	R/W	1		
	1	R/W	0	クロック出力電流強度	00b: Weak 01b: Medium 10b: Strong 11b: Very Strong
	0	R/W	1		
R 1E	7	R/W	0	端子HSOUT出力信号選択	00b: HO 01b: Regenerated Hsync 10b: Raw Hsync 11b: Filtered HSYNC
	6	R/W	0		
	5	R/W	0	端子VSOUT出力信号選択	00b: VO 01b: Regenerated Vsync 10b: Raw Vsync 11b: Filtered VSYNC
	4	R/W	1		
	3	R/W	0	端子OEFIELD出力信号選択	000b: FO 001b: Regenerated Field 010b: DE 011b: IRQ 100b~111b: Reserved
	2	R/W	0		
	1	R/W	1		
	0	R/W	0	FIELD(FO+Regenerated Field)出力極性	0: Odd Field=Low/Even Field=High 1: Odd Field=High/Even Field=Low
R 1F	7				
	6	R/W	0	Reserved	0に設定して下さい
	5	R/W	0	Reserved	0に設定して下さい
	4	R/W	1	PLL HSYNC Filterイネーブル	0: デイセーブル 1: イネーブル
	3	R/W	0	HSYNC Filter Window幅	HSYNC Filterで用いるFilter Windowの幅を設定する。 約±100ns~約±1600nsまで16段階で設定が可能 設定値を増やすごとにFilter Windowが±100nsずつ広がる。 デフォルト値 ±400ns
	2	R/W	0		
	1	R/W	1		
	0	R/W	1		

R 20	7	R/W	1	出力VSYNCタイミング自動設定イネーブル *Raw VSYNCを除く	0: デイセーブル 1: イネーブル
	6	A	0	出力VSYNC(VO+Regenerated VSYNC)開始位置	設定値は2の補数で表現し、入力VSYNCのリーディングエッジを基準に、1ライン単位で設定する。 設定可能範囲 -64~+63
	5	A	0		
	4	A	0		
	3	A	0		
	2	A	0		
	1	A	0		
	0	A	0		
R 21	7				
	6				
	5	A	0	出力VSYNC(VO+Regenerated VSYNC)パルス幅	1ライン単位で設定する。 設定可能範囲 1~63 *設定値が0の場合はVSOUTは遷移しない。
	4	A	0		
	3	A	0		
	2	A	0		
	1	A	0		
	0	A	0		
R 22	7	R/W	1	PLL COAST信号タイミング自動設定イネーブル	0: デイセーブル 1: イネーブル
	6	A	0	PLL Pre-Coast (PLL COAST期間の開始位置設定)	入力VSYNCのリーディングエッジを基準に、1ライン単位で設定する。 設定可能範囲 0~127
	5	A	0	*PLL COAST期間は、PLLは自走する。	
	4	A	0		
	3	A	0		
	2	A	0		
	1	A	0		
	0	A	0		
R 23	7				
	6	A	0	PLL Post-Coast (PLL COAST期間の終了位置設定)	入力VSYNCのリーディングエッジを基準に、1ライン単位で設定する。 設定可能範囲 0~127
	5	A	0	*PLL COAST期間は、PLLは自走する。	
	4	A	0		
	3	A	0		
	2	A	0		
	1	A	0		
	0	A	1		
R 24	7				
	6	R/W	0	Clamp Pre-Coast (クランプCOAST期間の開始位置設定)	入力VSYNCのリーディングエッジを基準に、1ライン単位で設定する。 設定可能範囲 0~127
	5	R/W	0	*クランプCOAST期間は、クランプ動作を停止する。	
	4	R/W	0		
	3	R/W	0		
	2	R/W	1		
	1	R/W	1		
	0	R/W	0		
R 25	7				
	6	R/W	0	Clamp Post-Coast (クランプCOAST期間の終了位置設定)	入力VSYNCのリーディングエッジを基準に、1ライン単位で設定する。 設定可能範囲 0~127
	5	R/W	0	*クランプCOAST期間は、クランプ動作を停止する。	
	4	R/W	1		
	3	R/W	0		
	2	R/W	1		
	1	R/W	0		
	0	R/W	0		
R 26	7				
	6				
	5				
	4				
	3	R/W	0	DE開始位置	入力HSYNCのリーディングエッジを基準とし、1ピクセル単位で設定する。 設定可能範囲 0~4095 *DE開始位置+DE/パルス幅がPLL 通倍率以上だとDEは遷移しない。
	2	R/W	0		
	1	R/W	0		
	0	R/W	1		
R 27	7	R/W	0		
	6	R/W	1		
	5	R/W	1		
	4	R/W	1		
	3	R/W	0		
	2	R/W	0		
1	R/W	0			
0	R/W	0			

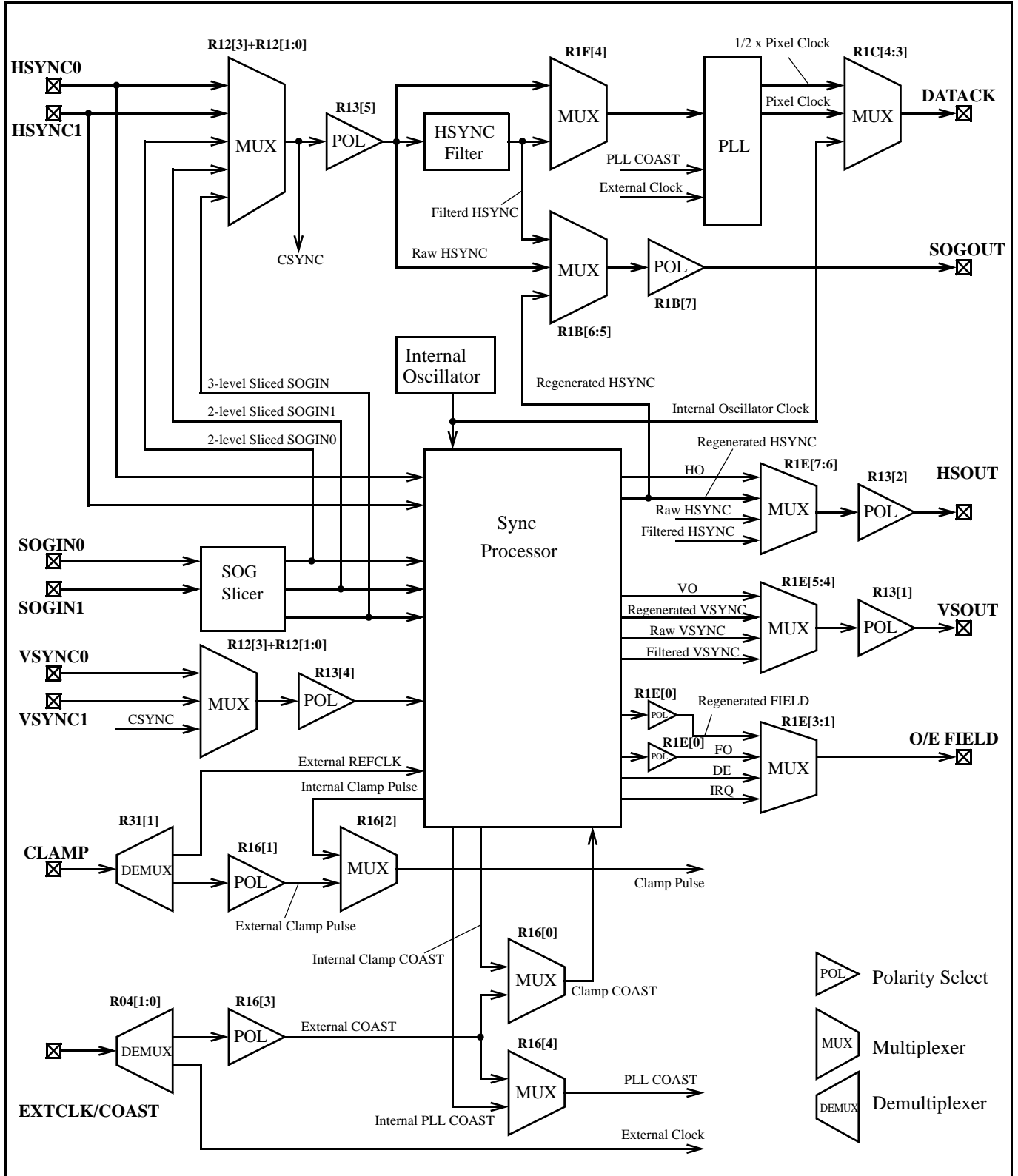
R 28	7						
	6						
	5						
	4						
	3	R/W	0	DEパルス幅	1ピクセル単位で設定する。 設定可能範囲 0~4095 *DE開始位置+DEパルス幅がPLL通倍率以上だとDEは遷移しない。		
	2	R/W	1				
1	R/W	0					
0	R/W	1					
R 29	7	R/W	0				
	6	R/W	0				
	5	R/W	0				
	4	R/W	0				
	3	R/W	0				
	2	R/W	0				
R 2A	7						
	6	R/W	0	Vブランク期間フロントポーチ (DE抑制期間開始位置)	VO開始位置を基準に1ライン単位で設定する。 設定可能範囲 0~127		
	5	R/W	0				
	4	R/W	0				
	3	R/W	0				
	2	R/W	0				
1	R/W	0					
R 2B	7						
	6	R/W	0	Vブランク期間バックポーチ (DE抑制期間終了位置)	VO終了位置を基準に1ライン単位で設定する。 設定可能範囲 0~127		
	5	R/W	1				
	4	R/W	0				
	3	R/W	0				
	2	R/W	1				
1	R/W	1					
R 2C	7	R	1	Reserved			
	6	R	1	Reserved			
	5	R	1	Reserved			
	4	R	1	Reserved			
	3	R	1	ポート1入力シンクタイプ判定結果	00b: Separate Sync 01b: Composite Sync 10b: Sync on Video 11b: No Signal		
	2	R	1	ポート0入力シンクタイプ判定結果	00b: Separate Sync 01b: Composite Sync 10b: Sync on Video 11b: No Signal		
R 2D	7						
	6						
	5						
	4						
	3						
	2	R	0	入力VSYNC極性判定結果	0: Active-Low 1: Active-High		
1	R	0	入力HSYNC極性判定結果	0: Active-Low 1: Active-High			
0	R	0	Sync on Video 2値/3値判定結果	0: 2値 1: 3値			
R 2E	7	R	0	インターレース検出結果	0: ノンインターレース 1: インターレース		
	6	R	0	垂直総ライン数測定結果	垂直総ライン数を1/4ライン単位で測定した結果が読み出せる。		
	5	R	0				
	4	R	0				
	3	R	0				
	2	R	0				
1	R	0					
R 2F	7	R	0				
	6	R	0				
	5	R	0				
	4	R	0				
	3	R	0				
	2	R	0				
1	R	0					
0	R	0					

R 30	7	R	0	入力VSYNCパルス幅測定結果	入力VSYNCパルス幅を1/4ライン単位で測定した結果が読み出せる。
	6	R	0		
	5	R	0		
	4	R	0		
	3	R	0		
	2	R	0		
	1	R	0		
	0	R	0		
R 31	7				
	6				
	5				
	4				
	3				
	2	R/W	0	Reserved	0に設定して下さい
	1	R/W	0	外部REFCLK入力イネーブル *水平周期測定が利用可能になります	0:ディセーブル 1:イネーブル
	0	R/W	1	水平周期測定停止 *測定結果を読み出す場合は測定を停止して下さい。	0:停止 1:測定
R 32	7				
	6				
	5				
	4				
	3	R	0	水平周期測定結果	水平周期100ラインの期間を外部REFCLKでカウントした値が読み出せる。 *水平周期および水平周波数は以下の式によって算出する。 水平周期(us)=測定結果/(100*fREFCLK) 水平周波数(kHz)=fREFCLK*10 <sup>5</sup> /測定結果 fREFCLK: REFCLK周波数(MHz)
	2	R	0		
	1	R	0		
	0	R	0		
R 33	7	R	0		
	6	R	0		
	5	R	0		
	4	R	0		
	3	R	0		
	2	R	0		
	1	R	0		
	0	R	0		
R 34	7	R	0		
	6	R	0		
	5	R	0		
	4	R	0		
	3	R	0		
	2	R	0		
	1	R	0		
	0	R	0		
R 35	7	EVRC	0	同期信号有効フラグ	0:未検出 1:検出
	6	EVRC	0	Reserved	
	5	EVRC	0	Reserved	
	4	EVRC	0	ポート1入力シンクタイプ変化監視	0:未検出 1:検出
	3	EVRC	0	ポート0入力シンクタイプ変化監視	0:未検出 1:検出
	2	EVRC	0	入力信号変化監視	0:未検出 1:検出
	1	EVRC	0	HSYNCスーパーバイザー「遷移欠損」判定結果	0:未検出 1:検出
	0	EVRC	0	HSYNCスーパーバイザー「余剰遷移」判定結果	0:未検出 1:検出
R 36	7	R/W	0	イベントレコーダ (R35[7])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
	6	R/W	0	Reserved	0に設定して下さい
	5	R/W	0	Reserved	0に設定して下さい
	4	R/W	0	イベントレコーダ (R35[4])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
	3	R/W	0	イベントレコーダ (R35[3])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
	2	R/W	0	イベントレコーダ (R35[2])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
	1	R/W	0	イベントレコーダ (R35[1])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
	0	R/W	0	イベントレコーダ (R35[0])による割り込み要求イネーブル	0:ディセーブル 1:イネーブル
R 37	7	R/W	0	入力信号変化監視～垂直総ライン数スレッショルド	000b:0.5ライン 001b: 1ライン 010b: 2ライン 011b: 4ライン 100b: 8ライン 101b:16ライン 110b:32ライン 111b:監視しない
	6	R/W	0		
	5	R/W	1		
	4	R/W	0	入力信号変化監視～VSYNCアクティブ期間スレッショルド	00b: 0.5ライン 01b: 1ライン 10b: 4ライン 11b: 監視しない
	3	R/W	1		
	2	R/W	0	入力信号変化監視～水平周期変化スレッショルド	000b: 8 001b: 16 010b: 32 011b: 64 100b: 128 101b: 256 110b: 512 111b:監視しない
	1	R/W	1		
0	R/W	1			



■同期信号フロー

< Sync Processing Block Diagram >



## ■ レジスタ機能説明

**R00** リビジョンコード 21h が読み出せます。

### R01[4] チップパワーオン

1 に設定すると全回路ブロックがパワーオンし、通常動作が可能です。  
0 に設定するとスタンバイモードになり、同期信号の監視に必要な回路以外はパワーダウンします。  
端子 RST を用いることでスタンバイモードに設定することも可能です。

#### < Power Control >

R01[4]	RST-pin	Status	ADC/PLL	Serial Interface	SOG Slicer	Sync Processor
1	Low	Normal Operation	Power-On	Power-On	Power-On	Power-On
1	High	Stand-by	Power-Down	Power-On	Power-On	Power-On
0	Low	Stand-by	Power-Down	Power-On	Power-On	Power-On
0	High	Stand-by	Power-Down	Power-On	Power-On	Power-On

\* スタンバイモード時には、端子 SOGOUT、SDA を除く出力端子はディセーブル (Hi-Z) になります。

### R01[3] 自動出カイナーブル

1 に設定すると、入力信号が活性と判定されたときに、SOGOUT を除く出カイナーブル (R01[2]) と SOGOUT 出カイナーブル (R01[1]) の設定に関わらず全出力端子がイネーブルになります。入力信号の活性判定はシンクプロセッサにより行われます。

出力端子 : RED<9:0>, GREEN<9:0>, BLUE<9:0>, DATAACK, SOGOUT, HSOUT, VSOUT, O/E FIELD

### R01[2] 出カイナーブル (SOGOUT を除く)

1 に設定すると、SOGOUT を除く出力端子がイネーブルになります。

### R01[1] SOGOUT 出カイナーブル

1 に設定すると、端子 SOGOUT がイネーブルになります。

#### < Output Control >

R01[3]	R01[2]	R01[1]	Input Signal	Output Signal except SOGOUT	SOGOUT
0	0	0	Inactive	Disable	Disable
0	0	0	Active	Disable	Disable
0	0	1	Inactive	Disable	Enable
0	0	1	Active	Disable	Enable
0	1	0	Inactive	Enable	Disable
0	1	0	Active	Enable	Disable
0	1	1	Inactive	Enable	Enable
0	1	1	Active	Enable	Enable
1	0	0	Inactive	Disable	Disable
1	0	0	Active	Enable	Enable
1	0	1	Inactive	Disable	Enable
1	0	1	Active	Enable	Enable
1	1	0	Inactive	Enable	Disable
1	1	0	Active	Enable	Enable
1	1	1	Inactive	Enable	Enable
1	1	1	Active	Enable	Enable

\* 出力ディセーブル時には、出力端子は Hi-Z になります。

\* 端子 SDA は常に出カイナーブルです。

**R01[0] Reserved** \* 0 に設定して下さい (デフォルト値 : 0)

### R02[6:5] オーバーサンプリング

ピクセルレート以上のサンプリングクロックを用いて A/D 変換を行い、デジタルフィルタ（デシメーションフィルタ）でダウンサンプリングして出力します。

オーバーサンプリングに設定する場合、PLL 通倍率（R02[4:0]/R03[7:0]）、チャージポンプ電流（R04[4:2]）の変更は不要ですが、VCO 周波数レンジ（R04[6:5]）を変更する必要があります。オーバーサンプリング倍率設定を 1 段階上げるごとに、VCO 周波数レンジ設定値を 1 段階上げてください。

00b: 通常動作（オーバーサンプリングなし）

01b: 2 倍オーバーサンプリング

10b: 4 倍オーバーサンプリング

11b: 8 倍オーバーサンプリング

(例) 480i の場合（HSYNC 周波数：15.75kHz/Pixel Clock：13.51MHz）

Oversampling(R02[6:5])	VCO Range(R04[6:5])	Charge Pump(R04[4:2])
1x(00b)	1/8(00b)	250uA(011b)
2x(01b)	1/4(01b)	250uA(011b)
4x(10b)	1/2(10b)	250uA(011b)
8x(11b)	1/1(11b)	250uA(011b)

\* 4:4:4DDR 出力（R1C[7:6]=01b）または 4:2:2DDR 出力（R1C[7:6]=11b）の場合は、オーバーサンプリングの機能を利用できません。

\* デバイス内部における PLL 通倍率が 8191 を超えないように設定してください。

デバイス内部における PLL 通倍率 = PLL 通倍率設定 × オーバーサンプリング倍率設定

\* サンプリング周波数が 170MHz を超えないように設定してください。

サンプリング周波数 = 入力 HSYNC 周波数 × PLL 通倍率設定 × オーバーサンプリング倍率設定

\* オーバーサンプリング倍率設定を切り替えても出力クロック周波数、出力データレートは変化しません。

\* オーバーサンプリング倍率設定に応じてデータ出力のレイテンシーは変化します。

### R02[4:0]/R03[7:0] PLL 通倍率

内蔵 PLL で入力 HSYNC よりサンプリングクロックを生成します。

入力信号に応じて水平総ピクセル数を設定して下さい。

\* サンプリングクロックを端子 EXTCLK/COAST より入力する場合（R04[1:0]=10b または 11b）は、PLL 通倍率の設定は不要です。

R04[7] Reserved \* 1 に設定して下さい（デフォルト値：1）

R04[6:5] VCO 周波数レンジ「PLL 推奨設定」に従って設定して下さい。

R04[4:2] チャージポンプ電流「PLL 推奨設定」に従って設定して下さい。

### R04[1:0] サンプリングクロック生成源

内蔵 PLL で入力 HSYNC よりサンプリングクロックを生成する場合には、00b に設定して下さい。  
端子 EXTCLK/COAST よりサンプリングクロックを入力する場合には、クロック周波数が 10 ~ 20MHz のときは 10b、20 ~ 170MHz のときは 11b に設定して下さい。

\*サンプリングクロックが外部入力の場合 (R04[1:0]=10b または 11b) でも「PLL 推奨設定」を設定することが必要です。

\*サンプリングクロックが外部入力の場合 (R04[1:0]=10b または 11b)、PLL COAST・クランプ COAST 信号を外部入力 (R16[4]=1・R16[0]=1) にすることはできません。

#### < Recommended PLL Settings >

	Hsync [kHz]	Pixel Rate [MHz]	PLL Divider R02/R03	Sampling Clock: Internal				Sampling Clock: External			
				R04[6:5]	R04[4:2]	R04[1:0]	R04	R04[6:5]	R04[4:2]	R04[1:0]	R04
480i	15.750	13.51	858	00	011	00	8C	00	000	10	82
480p	31.469	27.00	858	01	011	00	AC	01	000	11	A3
720p	45.000	74.25	1650	10	101	00	D4	10	000	11	C3
1080i	33.750	74.25	2200	10	100	00	D0	10	000	11	C3
1080p	67.500	148.50	2200	11	101	00	F4	11	000	11	E3
VGA-60	31.479	25.18	800	01	011	00	AC	01	000	11	A3
VGA-72	37.861	31.50	832	01	100	00	B0	01	000	11	A3
VGA-75	37.500	31.50	840	01	100	00	B0	01	000	11	A3
VGA-85	43.269	36.00	832	01	101	00	B4	01	000	11	A3
SVGA-56	35.156	36.00	1024	01	100	00	B0	01	000	11	A3
SVGA-60	37.879	40.00	1056	01	101	00	B4	01	000	11	A3
SVGA-72	48.077	50.00	1040	10	100	00	D0	10	000	11	C3
SVGA-75	46.875	49.50	1056	10	100	00	D0	10	000	11	C3
SVGA-85	53.674	56.25	1048	10	100	00	D0	10	000	11	C3
XGA-60	48.363	65.00	1344	10	100	00	D0	10	000	11	C3
XGA-70	56.476	75.00	1328	10	101	00	D4	10	000	11	C3
XGA-75	60.023	78.75	1312	10	101	00	D4	10	000	11	C3
XGA-80	64.000	85.50	1336	11	011	00	EC	11	000	11	E3
XGA-85	68.677	94.50	1376	11	100	00	F0	11	000	11	E3
SXGA-60	63.981	108.00	1688	11	100	00	F0	11	000	11	E3
SXGA-75	79.976	135.00	1688	11	101	00	F4	11	000	11	E3
SXGA-85	91.146	157.50	1728	11	101	00	F4	11	000	11	E3
UXGA-60	75.000	162.00	2160	11	101	00	F4	11	000	11	E3

\* 上記以外の設定に関しては、別途資料をご参照下さい。

### R05[5:0] サンプリングクロック位相

サンプリングクロックの位相を 64 段階で調整します。設定値を増やすごとにサンプリングクロックの位相が T/64 ずつ遅い側にシフトします。

\*サンプリングクロックが外部入力 (R04[1:0]=10b または 11b) の場合でも位相調整が可能です。

### R06[2:0]/R07[7:0] R-ch ゲイン (Pr-ch)

### R08[2:0]/R09[7:0] G-ch ゲイン (Y-ch)

### R0A[2:0]/R0B[7:0] B-ch ゲイン (Pb-ch)

0.5 倍から 1.5 倍まで 2048 段階で設定が可能です。設定値を大きくするとゲインが大きくなります。

$$\text{ゲイン} = (\text{設定値} + 1024) / 2048$$

ADC 入力フルスケールは 0.7Vpp (標準値) ですので、ゲインは [0.7 / 映像信号レベル \*] に設定します。

\* 同期信号を含まない信号レベル (Vpp)

(例)

映像信号レベル : 0.5Vpp ゲイン = 0.7/0.5 = 1.4 ゲイン設定 = 1843

映像信号レベル : 0.7Vpp ゲイン = 0.7/0.7 = 1 ゲイン設定 = 1024

映像信号レベル : 1.0Vpp ゲイン = 0.7/1.0 = 0.7 ゲイン設定 = 410

\*コントラストを調整する目的においては、必ずしも上記のとおりを設定する必要はありません。ゲインを大きくするとコントラストが大きくなります。

**R0C[0]/R0D[7:0]** R-ch クランプレベルオフセット (Pr-ch)

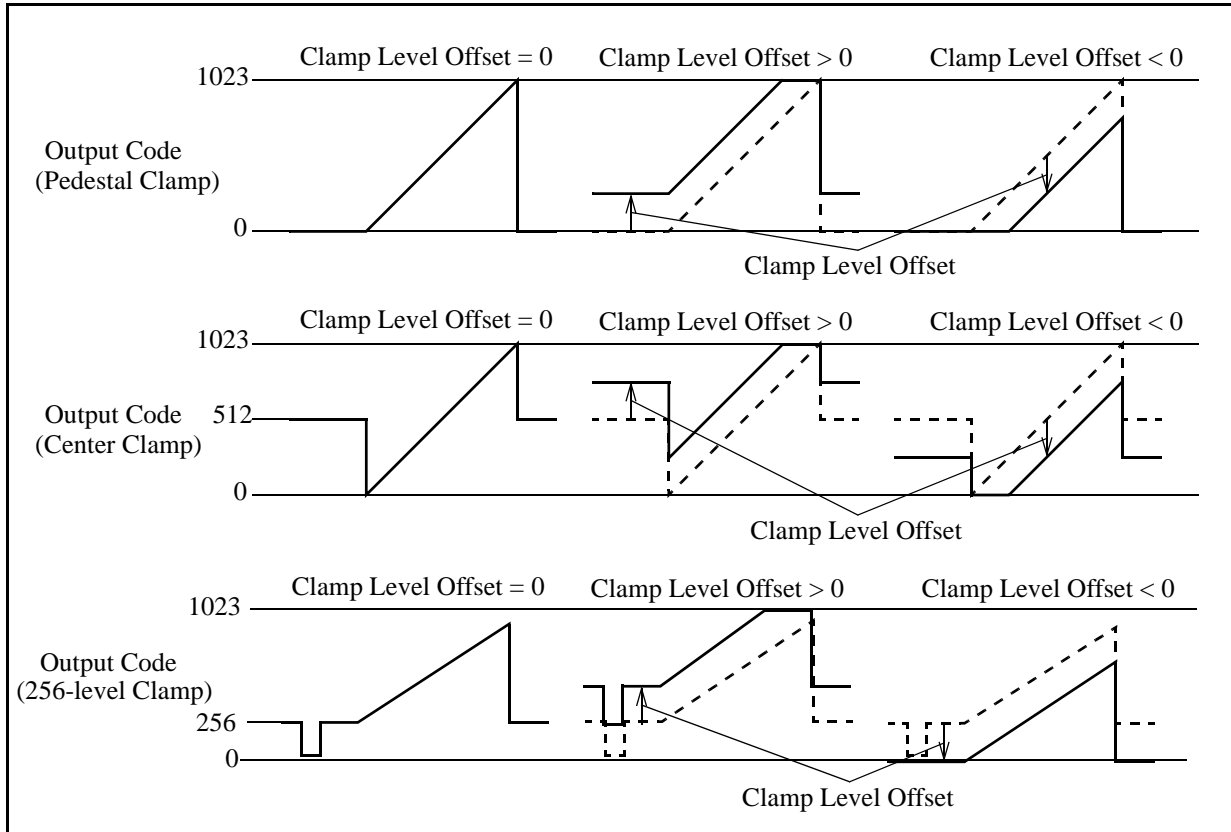
**R0E[0]/R0F[7:0]** G-ch クランプレベルオフセット (Y-ch)

**R10[0]/R11[7:0]** B-ch クランプレベルオフセット (Pb-ch)

クランプは、映像信号の DC レベル再生を行います。クランプモードとして、ペDESTALクランプ・センタークランプ・256 レベルクランプが選択できます (R17[5:4]/R17[3:2]/R17[1:0])。

クランプレベルオフセットにより、クランプレベルに 1LSB 単位でオフセットを与えることができます。設定値は 2 の補数で表現し、-256 ~ +255 の範囲で設定します。

#### < Clamp Level Offset >



**R12[7:6] Reserved** \* 00b に設定して下さい (デフォルト値 : 00b)

#### **R12[5]** 入力ポート自動設定イネーブル

1 に設定すると入力ポート選択 (R12[3]) が自動設定されます。

自動設定ではシンクプロセッサの入力シンクタイプ判定結果 (R2C[3:2]/R2C[1:0]) をもとに、以下の規則に従って活性なポートを選択します。

- ・ 選択しているポートが活性である場合、もう一方のポートが活性になってもポートを切り替えない。
- ・ 両方のポートが活性である状態から、選択しているポートが不活性になった場合、もう一方のポートに切り替える。

**R12[4] Reserved** \* 0 に設定して下さい (デフォルト値 : 0)

### R12[3] 入力ポート選択

0 に設定するとポート 0 が選択されます。

ポート 0 : HSYNC0・VSYNC0・RAIN0・GAIN0・SOGIN0・BAIN0

1 に設定するとポート 1 が選択されます。

ポート 1 : HSYNC1・VSYNC1・RAIN1・GAIN1・SOGIN1・BAIN1

### R12[2] 同期信号形式自動設定イネーブル

1 に設定すると同期信号形式選択 (R12[1:0]) が自動設定されます。

自動設定ではシンクプロセッサの入力信号判定結果 (R2C[3:2]/R2C[1:0]/R2D[0]) をもとに、入力されている同期信号の形式を選択します。

### R12[1:0] 同期信号形式選択

入力されている同期信号の形式を選択します。

入力ポート選択 (R12[3]) と同期信号形式選択 (R12[1:0]) の組み合わせにより、HSYNC と VSYNC の入力端子が選択されます。

< Input Port / Sync Type >

R12[3]	Input Port	R12[1:0]	Sync Type	HSYNC Input Pin	VSYNC Input Pin
0	Port-0	00b	Separate Sync	HSYNC0	VSYNC0
0	Port-0	01b	Composite Sync	HSYNC0	HSYNC0
0	Port-0	10b	Sync on Video (2-level)	SOGIN0	SOGIN0
0	Port-0	11b	Sync on Video (3-level)	SOGIN0*	SOGIN0*
1	Port-1	00b	Separate Sync	HSYNC1	VSYNC1
1	Port-1	01b	Composite Sync	HSYNC1	HSYNC1
1	Port-1	10b	Sync on Video (2-level)	SOGIN1	SOGIN1
1	Port-1	11b	Sync on Video (3-level)	SOGIN1*	SOGIN1*

\* 3 値スライス (ペダスタルスライス) されます。

### R13[6] 入力 HSYNC・入力 VSYNC 極性自動設定イネーブル

1 に設定すると入力 HSYNC 極性 (R13[5]) および入力 VSYNC 極性 (R13[4]) が自動設定されます。

自動設定ではシンクプロセッサの入力 HSYNC 極性判定結果 (R2C[1]) および入力 VSYNC 極性判定結果 (R2C[2]) をもとに、入力極性を選択します。

### R13[5] 入力 HSYNC 極性

入力されている HSYNC の極性は必ず正しく選択する必要があります。

入力極性が Active-Low の場合には、0 に設定して下さい。

入力極性が Active-High の場合には、1 に設定して下さい。

\* 同期信号形式が、"Sync on Video (3 値)" の場合には、0 に設定して下さい。

### R13[4] 入力 VSYNC 極性

入力されている VSYNC の極性は必ず正しく選択する必要があります。

入力極性が Active-Low の場合には、0 に設定して下さい。

入力極性が Active-High の場合には、1 に設定して下さい。

**R13[3] 出力 HSYNC ・ 出力 VSYNC 極性自動設定イネーブル**

1 に設定すると出力 HSYNC 極性 (R13[2]) および出力 VSYNC 極性 (R13[1]) を入力極性と同じなるように自動設定します。

自動設定ではシンクプロセッサの入力 HSYNC 極性判定結果 (R2D[1]) および入力 VSYNC 極性判定結果 (R2D[2]) をもとに、出力極性を選択します。

**R13[2] 出力 HSYNC 極性**

端子 HSOUT から出力する HSYNC の出力極性を選択します。

0 に設定すると、出力極性が Active-Low になります。

1 に設定すると、出力極性が Active-High になります。

\*端子 HSOUT から出力可能な HSYNC (HO ・ Regenerated HSYNC) の極性が選択されます。

**R13[1] 出力 VSYNC 極性**

端子 VSOUT から出力する VSYNC の出力極性を選択します。

0 に設定すると、出力極性が Active-Low になります。

1 に設定すると、出力極性が Active-High になります。

\*端子 VSOUT から出力可能な VSYNC (VO ・ Regenerated VSYNC ・ Raw VSYNC) の極性が選択されます。

**R13[0] 出力 VSYNC インターレースモード**

端子 VSOUT から出力する VSYNC (VO ・ Regenerated VSYNC) の、インターレース時における動作モードを選択します。

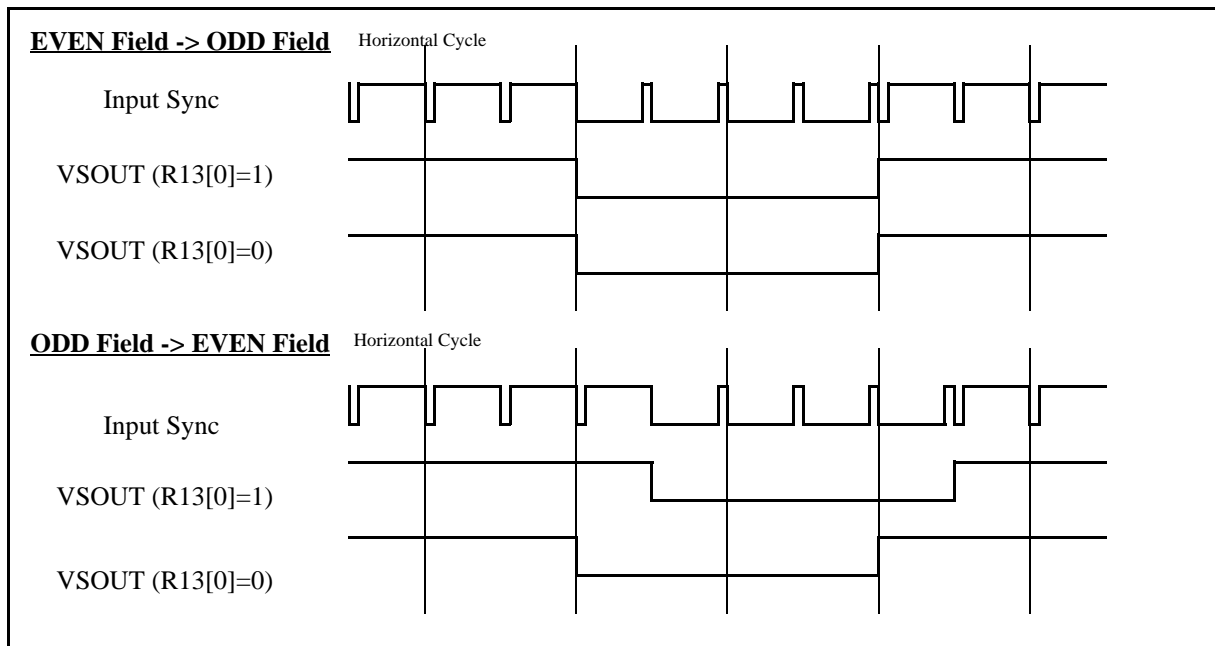
1 に設定すると、インターレース信号で ODD フィールドから EVEN フィールドに切り替わる時に、出力 VSYNC (VO ・ Regenerated VSYNC) が水平サイクルの中央で遷移します。

0 に設定すると、出力 VSYNC は水平サイクルの開始位置でのみ遷移します。よって、インターレース信号入力時には、フィールドによって出力 VSYNC に含まれる含まれるライン数が 1 だけ変化します。

\*端子 VSOUT から出力可能な VO および Regenerated VSYNC の動作モードが選択されます (Raw VSYNC は影響を受けません)。

\*ノンインターレース入力時 (判定結果 R2E[7]=0) のときは、出力 VSYNC は水平サイクルの開始位置でのみ遷移します (R13[0]=0 と 1 で同じ動作をします)。

< VSOUT Interlace Mode >





#### R14[7:0] 出力 HSYNC (HO) 開始位置

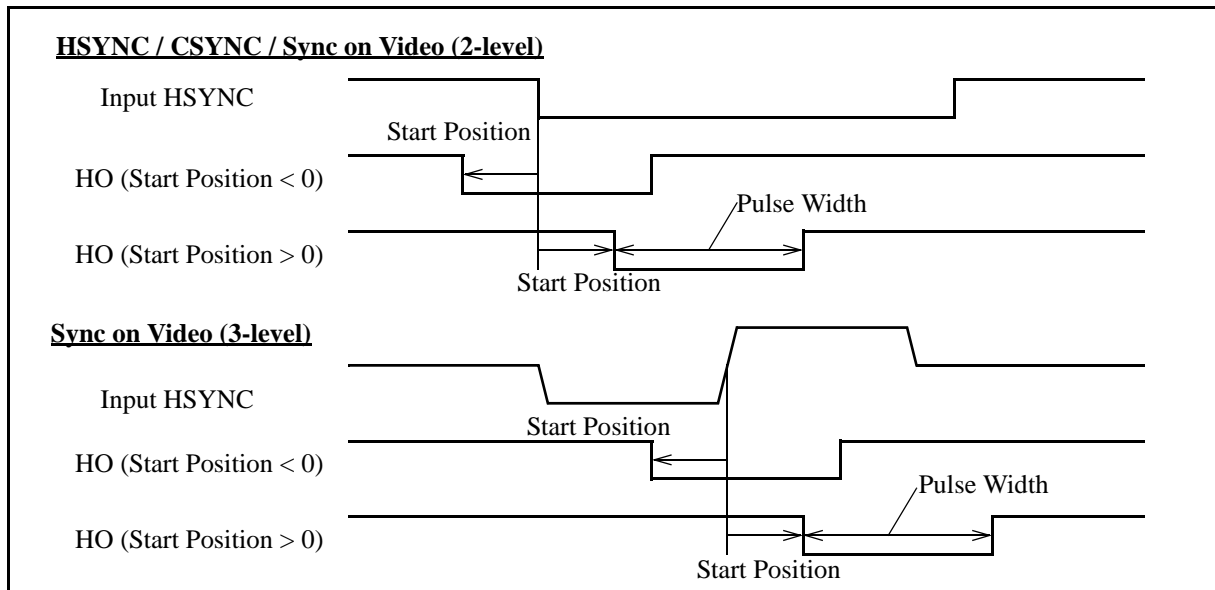
端子 HSOUT から出力可能な HO の開始位置を入力 HSYNC のリーディングエッジ (3 値同期信号の場合は正極性パルスのリーディングエッジ) を基準に、1 ピクセル単位で設定します。設定値は 2 の補数で表現し、-128 ~ +127 の範囲で設定します。

\* サンプルクロックが外部入力の場合 (R04[1:0]=10b または 11b) の場合は、負数の設定は行わないで下さい。

#### R15[7:0] 出力 HSYNC (HO) パルス幅

端子 HSOUT から出力可能な HO のパルス幅を 1 ピクセル単位で設定します。

#### < HO Start Position / Pulse Width >



#### R16[4] PLL COAST 信号生成源

等化パルスやコピーガード信号等で、PLL によるサンプルクロック生成を乱す信号が含まれる期間は PLL を自走させることが必要な場合があります。PLL COAST 信号は、PLL を自走させる信号です。

0 に設定した場合は、PLL COAST 信号はデバイス内部で生成されます。

1 に設定した場合は、PLL COAST 信号を端子 COAST に入力して下さい。

\* PLL COAST 信号を内部生成する場合は、自動設定モード (R22[7]) が利用可能です。

#### R16[3] PLL COAST 信号入力極性

PLL COAST 信号を外部入力する場合 (R16[4]=1) の、入力極性を選択します。

0 に設定すると、入力極性が Active-Low になります (端子 COAST=Low で自走)。

1 に設定すると、入力極性が Active-High になります (端子 COAST=High で自走)。

#### R16[2] クランプパルス生成源

クランプのタイミング信号であるクランプパルスの生成源の選択を行います。

0 に設定した場合は、クランプパルスはデバイス内部で生成されます。

1 に設定した場合は、クランプパルスを端子 CLAMP に入力して下さい。

#### R16[1] クランプパルス入力極性

クランプパルスを外部入力する場合 (R16[2]=1) の入力極性を選択します。

0 に設定すると、入力極性が Active-Low になります。

1 に設定すると、入力極性が Active-High になります。

### R16[0] クランプ抑制信号生成源

コピーガード信号等で、クランプを乱す信号が含まれる期間はクランプを停止させることが必要な場合があります。クランプ COAST 信号は、クランプを停止させる信号です。

0 に設定した場合は、クランプ COAST 信号はデバイス内部で生成されます。

1 に設定した場合は、クランプ COAST 信号を端子 COAST に入力して下さい。

### R17[6] クランプパルス生成基準エッジ

クランプパルスのタイミング設定は入力 HSYNC を基準にします。基準とする入力 HSYNC のエッジを選択します。

0 に設定すると、入力 HSYNC のリーディングエッジを基準とします。

1 に設定すると、入力 HSYNC のトレーリングエッジを基準とします。

\* 3 値同期信号の場合は、正極性パルスのリーディングエッジ・トレーリングエッジを基準にします。

### R17[5:4] R-ch クランプモード (Pr-ch)

### R17[3:2] G-ch クランプモード (Y-ch)

### R17[1:0] B-ch クランプモード (Pb-ch)

クランプモードとして、ペDESTALクランプ・センタークランプ・256 レベルクランプが選択できます。

00b: ペDESTALクランプ RGB や Y (輝度信号) 用で、クランプレベルの出力コードが 0 になるようにクランプします (クランプレベルオフセット設定が 0 の場合)。オフセットキャンセルにより、クランプレベルのデバイスごとのばらつきをキャンセルします。

01b: センタークランプ Pb・Pr (色差信号) 用で、クランプレベルの出力コードが 512 になるようにクランプします (クランプレベルオフセット設定が 0 の場合)。オフセットキャンセルにより、クランプレベルのデバイスごとのばらつきをキャンセルします。

10b: Reserved

11b: 256 レベルクランプ クランプレベルの出力コードが 256 になるようにクランプします (クランプレベルオフセットが 0 の場合)。オフセットキャンセルにより、クランプレベルのデバイスごとのばらつきをキャンセルします。

\* ペDESTALクランプ (R17[5:4], R17[3:2], R17[1:0]=00b) で、クランプパルスをシンク部分に設定することで、シンクチップをクランプすることができます。

### R18[7:0] クランプパルス開始位置

クランプパルスの開始位置をクランプパルス生成基準エッジ (R17[6] で選択) を基準に、1 ピクセル単位で設定します。

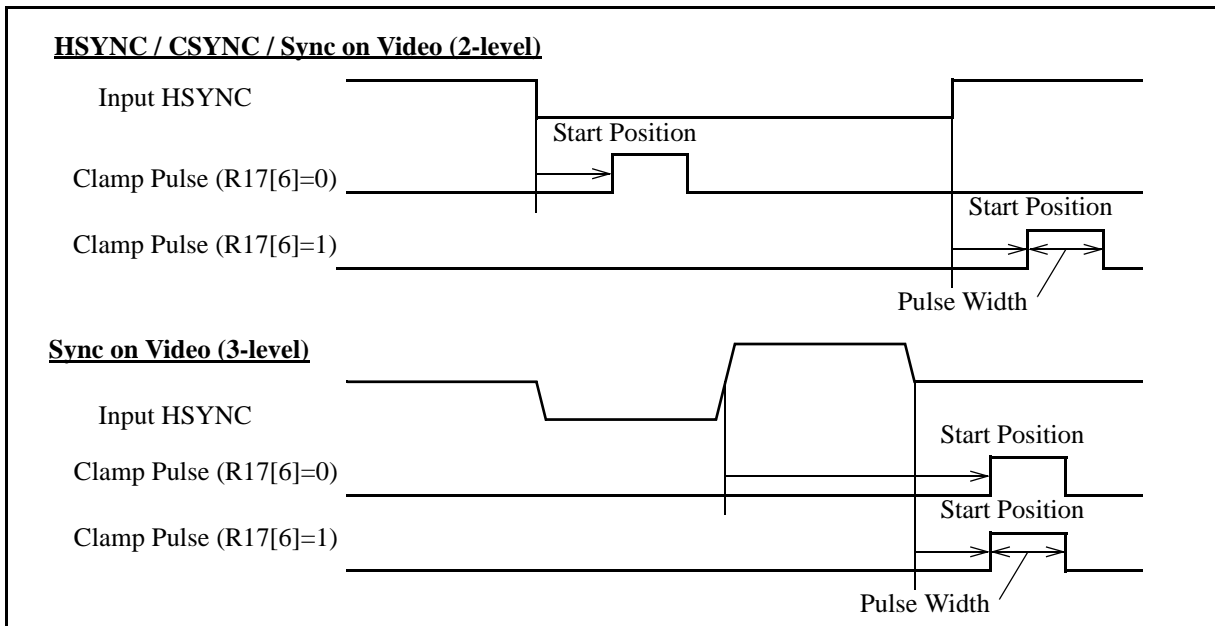
### R19[7:0] クランプパルス幅

クランプパルス幅を 1 ピクセル単位で設定します。

\* 0 に設定した場合はクランプパルスを生成しません。

\* クランプオフセットキャンセルはクランプパルスから 16 ピクセル後に完了しますので、クランプパルスの終了位置 (R18[7:0]+R19[7:0]) がアクティブビデオ期間より 16 ピクセル以上手前になるように設定して下さい。

< Clamp Pulse Start Position / Pulse Width >



**R1A[6] SOG スライサヒステリシスイネーブル**

1に設定すると、SOG スライサに約 30mV のヒステリシスが付きます。

**R1A[5:4] SOG 入力フィルタ**

SOG 入力のノイズやリングング等をフィルタするために内蔵しているローパスフィルタの OFF/ON を設定します。

00b: OFF (スルー)

01b: ON

10b,11b: Reserved

\*デフォルト値は 10b (Reserved) ですので、00b (OFF) または 01b (ON) に設定を変更して下さい。

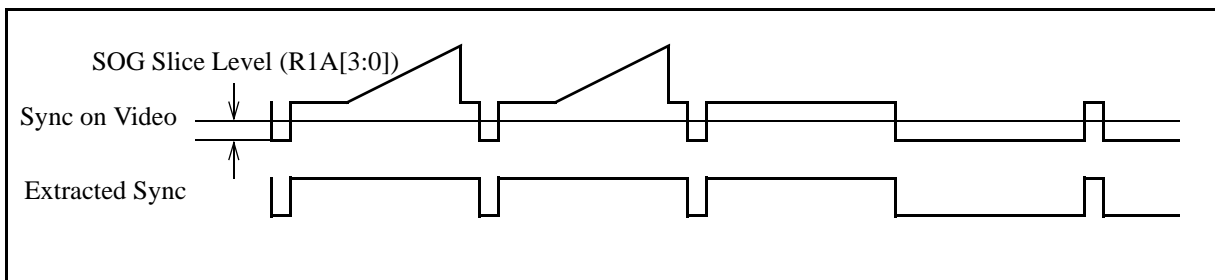
**R1A[3:0] SOG スライスレベル**

入力されている同期信号の形式が Sync on Video (Sync on Green) の場合は、SOGIN0 または SOGIN1 に入力された信号の最低レベル (シンクチップ) から、R1A[3:0] で設定されるスライスレベルで同期信号を切り出します。

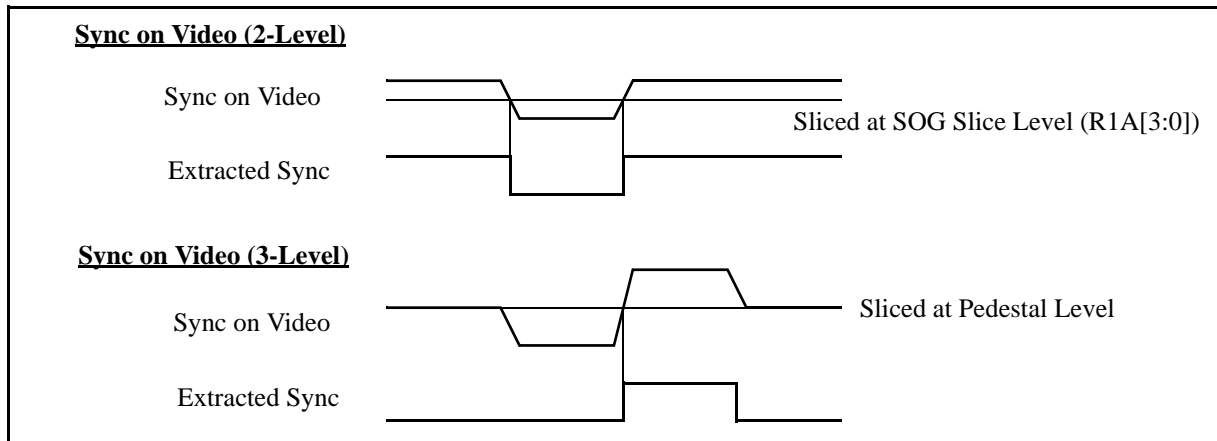
SOG スライスレベルは、15mV ~ 240mV の範囲で、15mV ステップで設定が可能です。

\* SOG スライスレベルは 3 以上に設定して下さい。

< SOG Slicer >



<2-Level Slice / 3-Level Slice>



\* 3 値同期信号入力時に入力同期信号形式を Sync on Video (2 値) に設定した場合 (R12[1:0]=10b) は、SOG スライスレベルでスライスされます。

**R1B[7] SOGOUT 出力極性**

端子 SOGOUT から出力する信号の極性を選択します。  
 0 に設定すると、出力極性が Active-Low になります。  
 1 に設定すると、出力極性が Active-High になります。

\* 端子 SOGOUT から出力可能な信号 (Raw HSYNC ・ Regenerated HSYNC ・ Filtered HSYNC) の極性が選択されます。

**R1B[6:5] 端子 SOGOUT 出力信号選択**

端子 SOGOUT から出力する信号を選択します。選択可能な信号のもとなる入力 HSYNC は、入力ポート選択 (R12[3]) および同期信号形式選択 (R12[1:0]) の組み合わせによって決まります。

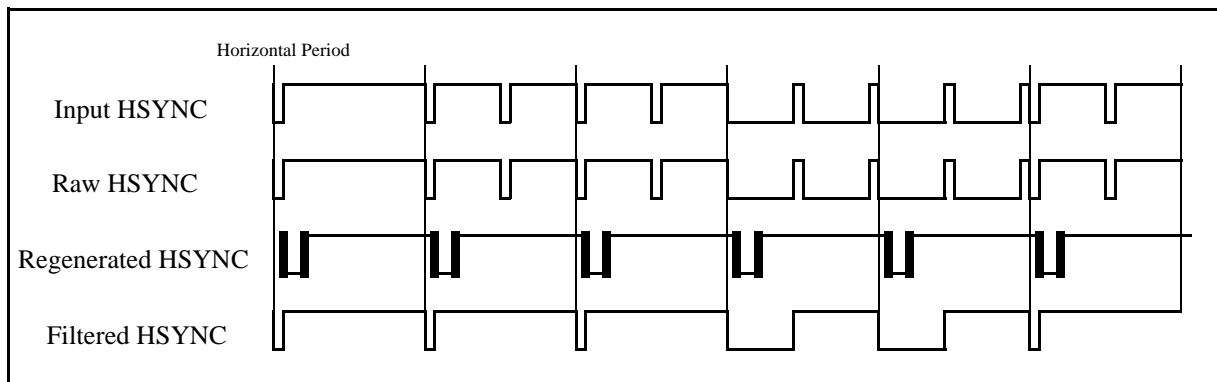
00b: Raw HSYNC 入力 HSYNC をそのまま出力します。

01b: Regenerated HSYNC Raw HSYNC から内部オシレータ (約 40MHz) を用いて生成された HSYNC です。内部オシレータ数サイクル分のジッタを持ちます。

10b: Filtered HSYNC HSYNC Filter (R1F[3:0]) により、Raw HSYNC から水平サイクルと関係のない余分なパルスを取り除いた信号です。

11b: Reserved

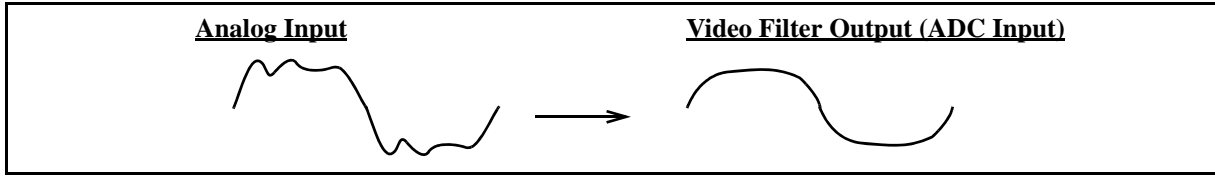
< Output Signal from SOGOUT >



**R1B[4:0] ビデオフィルタカットオフ周波数**

コンポーネントビデオ入力 (YPbPr) 用のアンチエイリアスフィルタとして 5 次のローパスフィルタを内蔵しており、カットオフ周波数を 6 ~ 92MHz の範囲において 24 段階でレジスタ設定可能です。  
 また、PC 入力 (RGB) 用のノイズ、グリッチフィルタ用として 2 次のローパスフィルタを内蔵しており、カットオフ周波数を 4 段階 (40MHz / 90MHz / 170MHz / 310MHz) でレジスタ設定可能です。

< Preamp Bandwidth >



< Cutoff Frequency >

R1B[4:0]		fc	Note	R1B[4:0]		fc	Note	
Dec	Binary			Dec	Binary			
0	0 0 0 0 0	6MHz	5th-order LPF for Component Video	16	1 0 0 0 0	39MHz	5th-order LPF for Component Video	
1	0 0 0 0 1	7MHz		17	1 0 0 0 1	42MHz		
2	0 0 0 1 0	8MHz		18	1 0 0 1 0	46MHz		
3	0 0 0 1 1	9MHz		19	1 0 0 1 1	52MHz		
4	0 0 1 0 0	10MHz		20	1 0 1 0 0	58MHz		
5	0 0 1 0 1	11MHz		21	1 0 1 0 1	66MHz		
6	0 0 1 1 0	12MHz		22	1 0 1 1 0	78MHz		
7	0 0 1 1 1	13.5MHz		23	1 0 1 1 1	92MHz		
8	0 1 0 0 0	15MHz		24	1 1 0 0 0	40MHz		2nd-order LPF for PC
9	0 1 0 0 1	18MHz		25	1 1 0 0 1	90MHz		
10	0 1 0 1 0	21MHz		26	1 1 0 1 0	170MHz		
11	0 1 0 1 1	24MHz		27	1 1 0 1 1	310MHz		
12	0 1 1 0 0	27MHz		28	1 1 1 0 0			Reserved
13	0 1 1 0 1	30MHz		29	1 1 1 0 1			Reserved
14	0 1 1 1 0	33MHz		30	1 1 1 1 0			Reserved
15	0 1 1 1 1	36MHz	31	1 1 1 1 1		Reserved		

\* 設定例

コンポーネントビデオ入力：サンプリング周波数の 0.5 倍程度のカットオフ周波数を用いる  
 PC 入力：サンプリング周波数の 1.5 倍程度のカットオフ周波数を用いる

\* R54[4]=1 に設定すると、レジスタ R54[3:0] を用いて、5 次ローパスフィルタのカットオフ周波数を 25MHz ~ 39MHz まで 1MHz ステップで設定することができます。R54[4]=1 に設定した場合、R1B[4:0] の設定は無視されます。

< Cutoff Frequency >

R54[3:0]		fc	Note
Dec	Binary		
0	0 0 0 0	25MHz	5th-order LPF for Component Video
1	0 0 0 1	26MHz	
2	0 0 1 0	27MHz	
3	0 0 1 1	28MHz	
4	0 1 0 0	29MHz	
5	0 1 0 1	30MHz	
6	0 1 1 0	31MHz	
7	0 1 1 1	32MHz	
8	1 0 0 0	33MHz	
9	1 0 0 1	34MHz	
10	1 0 1 0	34MHz	
11	1 0 1 1	35MHz	
12	1 1 0 0	36MHz	
13	1 1 0 1	37MHz	
14	1 1 1 0	38MHz	
15	1 1 1 1	39MHz	

**R1C[7:6] 出力フォーマット選択**

4通りの出力フォーマットが選択可能です。

00b: 4:4:4 出力

01b: 4:4:4DDR 出力

10b: 4:2:2 出力

11b: 4:2:2DDR 出力

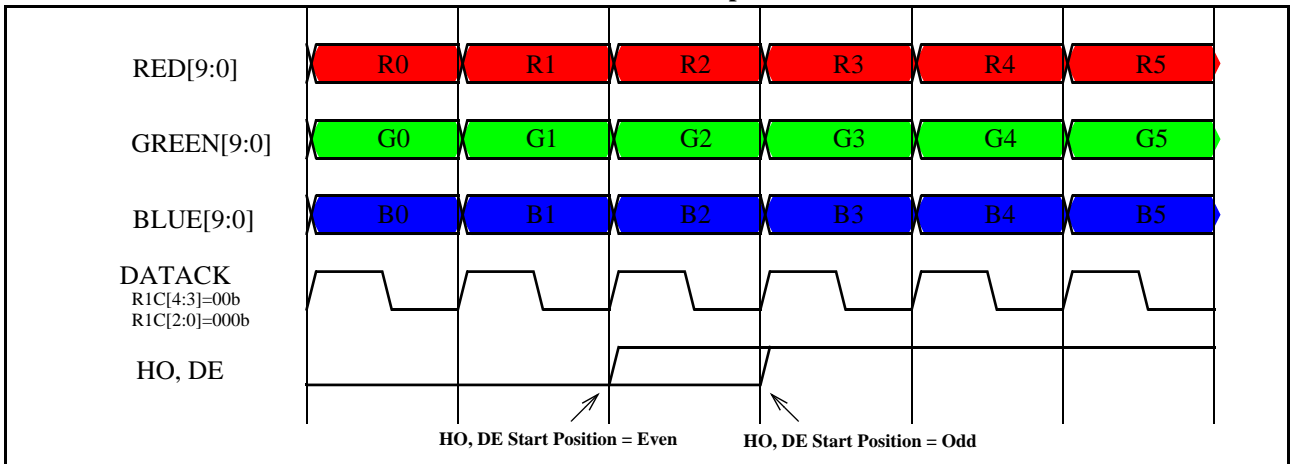
\* DDR4:4:4 出力 / DDR4:2:2 出力はサンプリングクロック 85MHz まで対応可能です。

**<Output Format>**

		RED										GREEN										BLUE									
Output Format	Edge	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
4:4:4	Normal	R[9:0]										G[9:0]										B[9:0]									
	DDR	G[4:0]					B[9:0]					G[9:5]																			
4:2:2	Normal	Cb/Cr										Y																			
	DDR																					Cb/Cr									
																						Y									

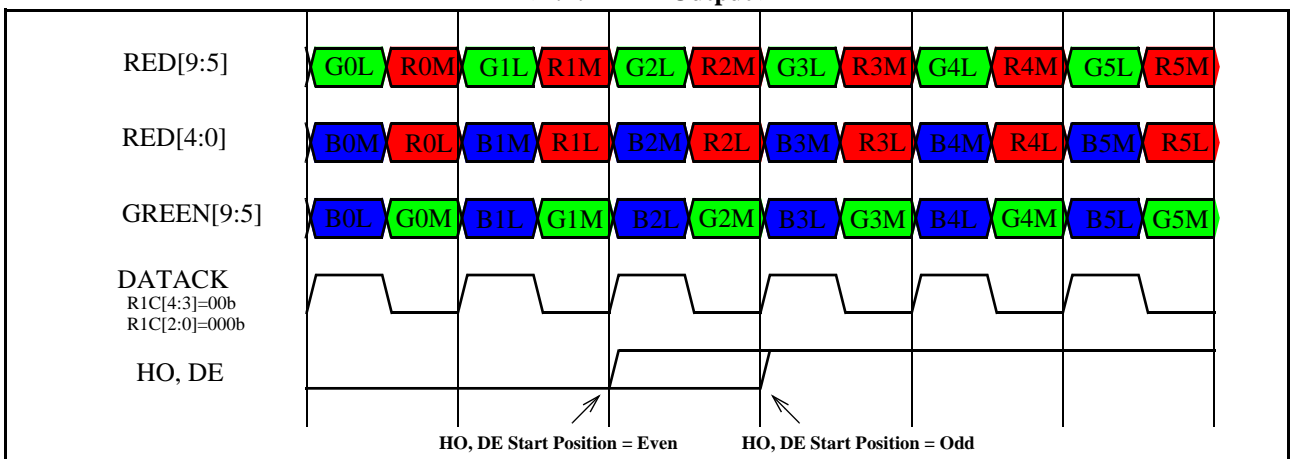
\* 出力データが割り当てられない端子はディセーブル (Hi-Z) になります。

**< 4:4:4 Normal Output >**



\* DATAACK は 8 段階でシフト可能です (R1C[2:0])。

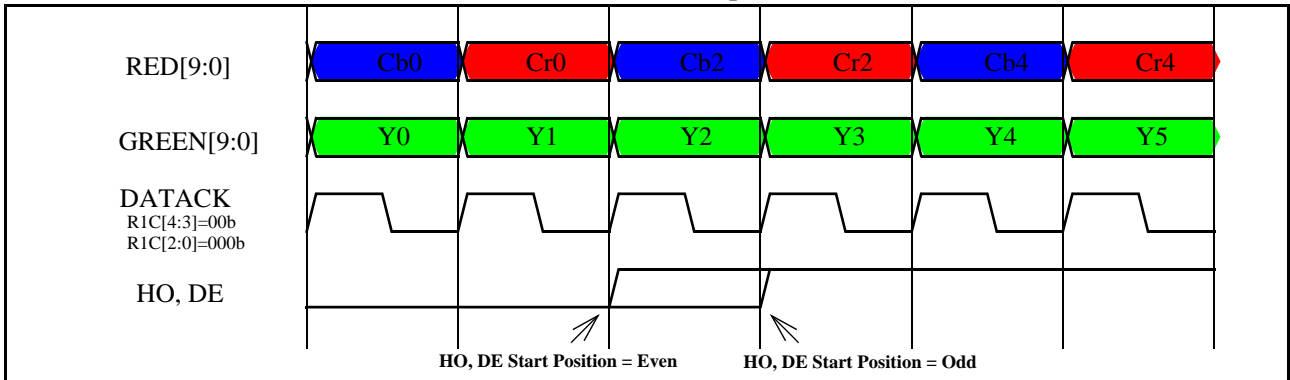
**< 4:4:4 DDR Output >**



\* "M" : MSB 側 5 ビットを示します。 "L" : LSB 側 5 ビットを示します。

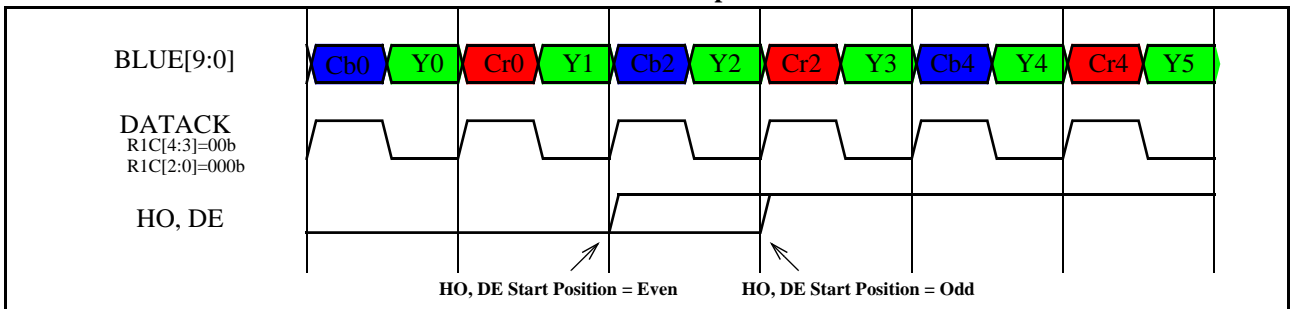
\* DATAACK は 8 段階でシフト可能です (R1C[2:0])。

< 4:2:2 Normal Output >



\* DATAACK は 8 段階でシフト可能です (R1C[2:0])。

< 4:2:2 DDR Output >



\* DATAACK は 8 段階でシフト可能です (R1C[2:0])。

**R1C[5] 4:2:2 デシメーション**

4:2:2 出力、4:2:2DDR 出力における CbCr のダウンサンプリング (4:4:4 から 4:2:2 への変換処理) 方法を設定します。

0 に設定すると、CbCr データは単純間引きして出力します。

1 に設定すると、CbCr データはデシメーションフィルタ (デジタルフィルタ) で処理して出力します。



### R1C[4:3] 出力クロック選択

端子 DATAACK から出力するクロックを選択します。

00b: Pixel Clock サンプル周波数のクロックです。

01b: 1/2 x Pixel Clock サンプルの半分の周波数のクロックです。

オーバーサンプリング設定時は利用できません。

10b: 内部オシレータクロック (約 40MHz)

11b: Reserved

### R1C[2:0] 出力クロック位相選択

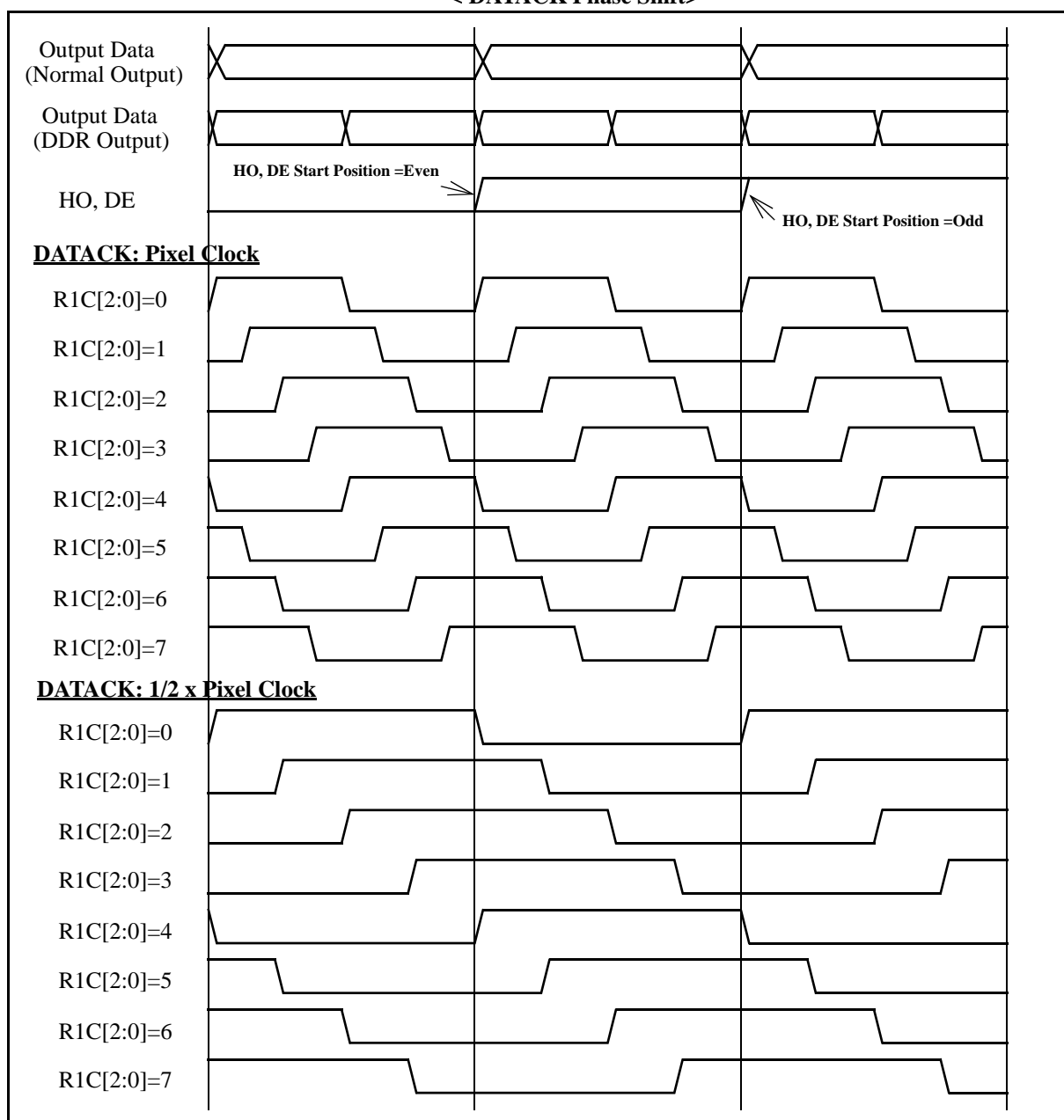
出力クロックの位相は 8 段階で設定可能であり、出力データのセットアップ・ホールドの調整が可能です。

\* DATAACK が Pixel Clock の場合 (R1C[4:3]=00b)、位相設定 0 ~ 2 は、出力クロックの立ち上がり遷移が出力データの遷移期間付近になりますので使用しないで下さい (DDR 出力の場合を除く)。

\* 内部オシレータクロック (R1C[4:3]=10b) の位相調整はできません。

\* 8 倍オーバーサンプリング設定時は 4 段階のみ設定可能です (設定値 0 と 1、2 と 3、4 と 5、6 と 7 は同じ位相設定になります)。

< DATAACK Phase Shift >



**R1D[7:6] Reserved** \* 01b に設定して下さい (デフォルト値 : 10b)

**R1D[5:4] RGB データ出力電流強度**

出力端子 : RED<9:0>, GREEN<9:0>, BLUE<9:0>

**R1D[3:2] 同期信号出力電流強度**

出力端子 : SOGOUT, HSOUT, VSOUT, O/E FIELD

**R1D[1:0] クロック出力電流強度**

出力端子 : DATAACK

設定値を増やすごとに、出力電流強度は強くなります。

\*出力電流強度は、出力端子の負荷容量、配線長、出力バッファ電源電圧 (VDD) に応じて調整して下さい。

\*クロック出力電流強度は、他より強く設計されています。

**R1E[7:6] 端子 HSOUT 出力信号選択**

端子 HSOUT から出力する信号を選択します。

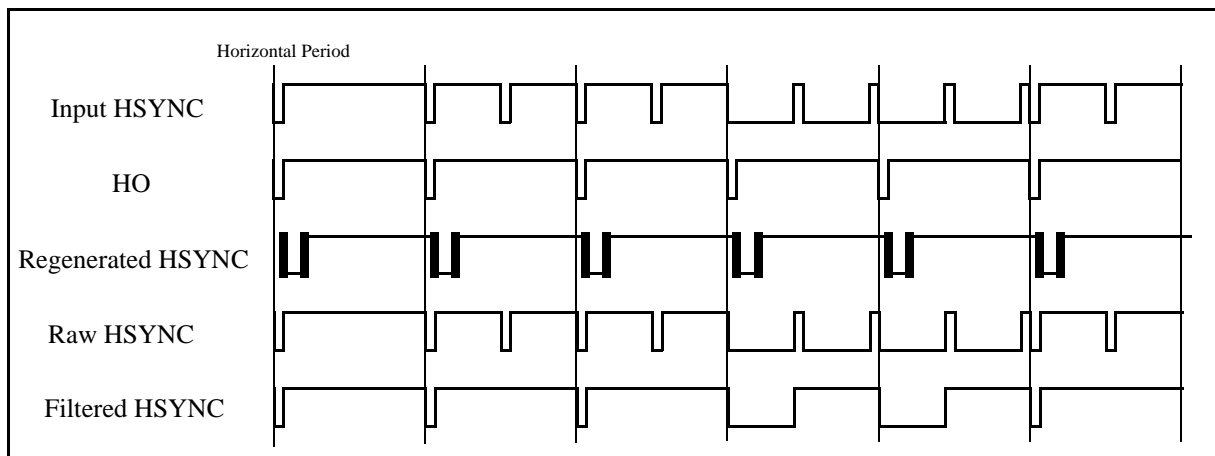
00b: HO 入力 HSYNC から PLL クロックを用いて生成した HSYNC です。極性 (R13[2])、開始位置 (R14[7:0])、パルス幅 (R15[7:0]) をレジスタ設定することができます。正しく出力されるためには、PLL の設定 (R02 ~ R04) が必要です。画像ポジションの基準信号等として用いることができます。

01b: Regenerated HSYNC 入力 HSYNC から内部オシレータクロック (約 40MHz) を用いて生成した HSYNC です。開始位置は入力 HSYNC のリーディングエッジから内部オシレータクロック数サイクル後で、パルス幅は水平サイクルの約 1/16 です。極性 (R13[2]) をレジスタ設定することができます。PLL の設定 (R02 ~ R04) とは無関係に生成されます。ジッタが内部オシレータクロック数サイクル程度あります。

10b: Raw HSYNC 入力 HSYNC をそのまま出力します。

11b: Filtered HSYNC HSYNC Filter (R1F[3:0]) により、Raw HSYNC から水平サイクルと関係のない余分なパルスを取り除いた信号です。

< Output Signal from HSOUT >



### R1E[5:4] 端子 VSOUT 出力信号選択

端子 VSOUT から出力する信号を選択します。

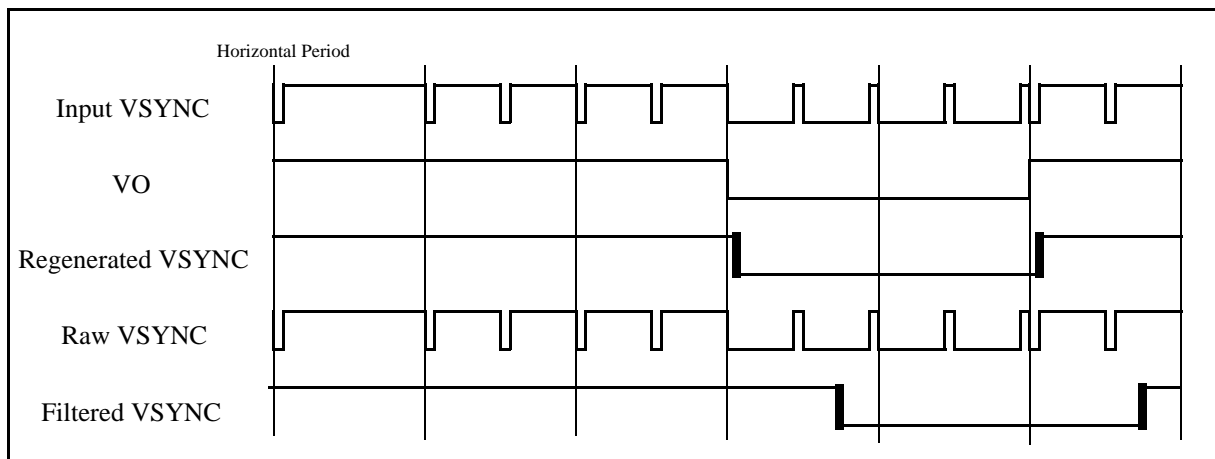
00b: VO 入力 HSYNC および入力 VSYNC から PLL クロックを用いて生成した VSYNC です。極性 (R13[1])、開始位置 (R20[6:0])、パルス幅 (R21[5:0]) をレジスタ設定することができます (自動設定モードが利用可能です)。正しく出力されるためには、PLL の設定 (R02 ~ R04) が必要です。HO と同期して出力されます。

01b: Regenerated VSYNC 入力 HSYNC および入力 VSYNC から内部オシレータクロック (約 40MHz) を用いて生成した VSYNC です。極性 (R13[1])、開始位置 (R20[6:0])、パルス幅 (R21[5:0]) をレジスタ設定することができます (自動設定モードが利用可能です)。PLL の設定とは無関係 (R02 ~ R04) に生成されません。ジッタが内部オシレータクロック数サイクル程度あります。Regenerated HSYNC と同期して出力されません。

10b: Raw VSYNC 入力 VSYNC をそのまま出力します。

11b: Filtered VSYNC 入力 HSYNC および入力 VSYNC から内部オシレータクロック (約 40MHz) を用いてデジタルフィルタリングした VSYNC です。極性 (R13[1]) をレジスタ設定することができます (自動設定モードが利用可能です)。PLL の設定とは無関係 (R02 ~ R04) に生成されます。ジッタが内部オシレータクロック数サイクル程度あります。位相が入力 VSYNC に対して 3/4H 程度遅れて出力されます。

< Output Signal from VSOUT >



**R1E[3:1] 端子 O/E FIELD 出力信号選択**

端子 O/E FIELD から出力する信号を選択します。

000b: FO 入力 HSYNC および入力 VSYNC から PLL クロックを用いて生成した Odd / Even FIELD です。極性 (R1E[0]) をレジスタ設定することができます。正しく出力されるためには、PLL の設定 (R02 ~ R04) が必要です。VO と同期して出力されます。

001b: Regenerated FIELD 入力 HSYNC および入力 VSYNC から内部オシレータクロック (約 40MHz) を用いて生成した Odd / Even FIELD です。極性 (R1E[0]) をレジスタ設定することができます。PLL の設定とは無関係 (R02 ~ R04) に生成されます。ジッタが内部オシレータクロック数サイクル程度あります。

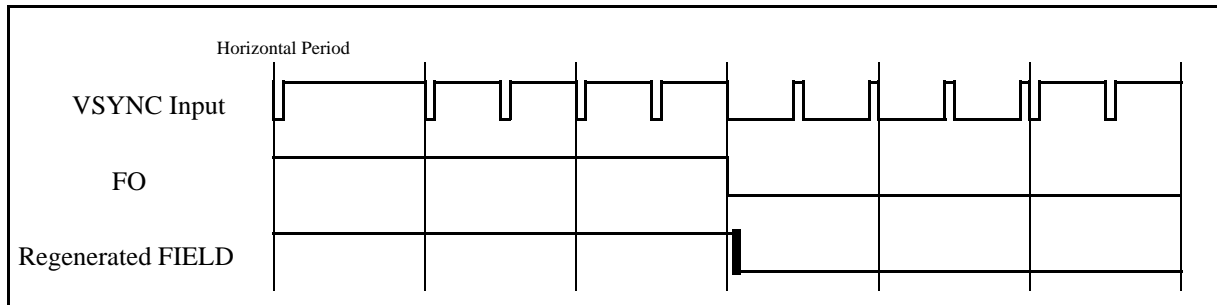
Regenerated VSYNC と同期して出力されます。

010b: DE 入力 HSYNC および入力 VSYNC から PLL クロックを用いて生成したデータイネーブル信号です。極性は Active-High です。開始位置 (R26[3:0]/R27[7:0])、パルス幅 (R28[3:0]/R29[7:0])、垂直ブランクフロントポーチ (R2A[6:0])、バックポーチ (R2B[6:0]) をレジスタ設定することができます (自動設定モードはありません)。

011b: IRQ シンクプロセッサで発生した割り込み要求信号です。

100b ~ 111b: Reserved

< FO / Regenerated FIELD >



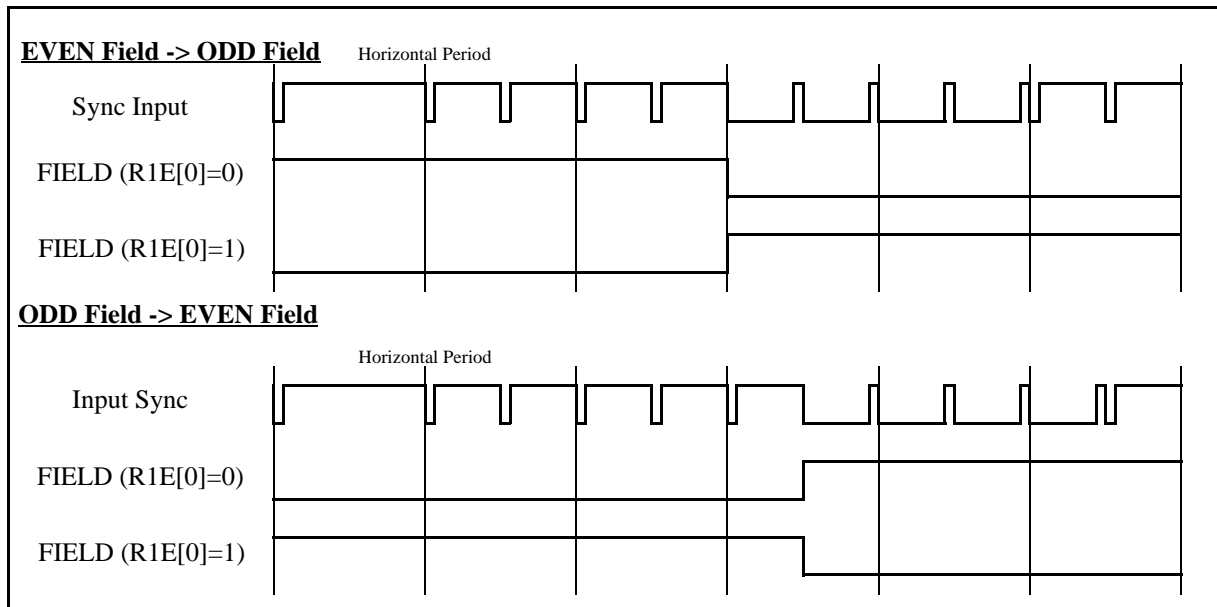
**R1E[0] O/E FIELD 出力極性**

端子 O/E FIELD から出力可能な FO および Regenerated FIELD の極性を選択します。

0 に設定すると、Odd FIELD が Low、Even FIELD が High になります。

1 に設定すると、Odd FIELD が High、Even FIELD が Low になります。

< FO / Regenerated FIELD >



**R1F[6:5] Reserved** \* 00b に設定して下さい (デフォルト値 : 00b)

#### **R1F[4] PLL HSYNC Filter イネーブル**

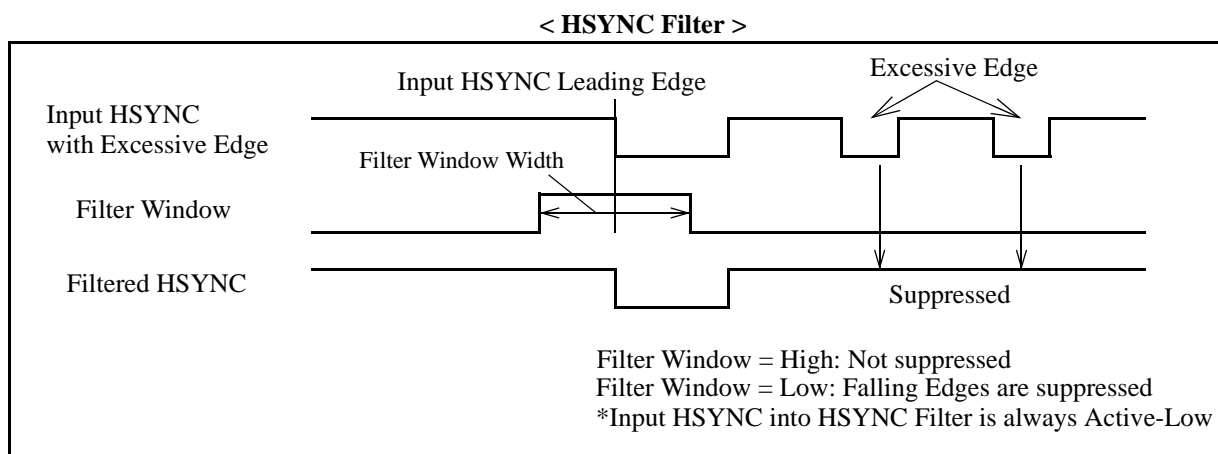
入力 HSYNC (Raw HSYNC) から水平サイクルと関係のない等化パルスやコピーガードパルス等の余分なパルスを HSYNC Filter により取り除いた Filtered HSYNC を PLL 基準信号として用いることで、PLL COAST 期間 (PLL 自走期間) を短くすることができます。ただし、入力 HSYNC のジッタが大きい場合は、HSYNC Filter Window が不安定になり PLL のロックが外れやすくなる可能性があります。

0 に設定すると、PLL 基準信号として Raw HSYNC を用います。

1 に設定すると、PLL 基準信号として Filtered HSYNC を用います。

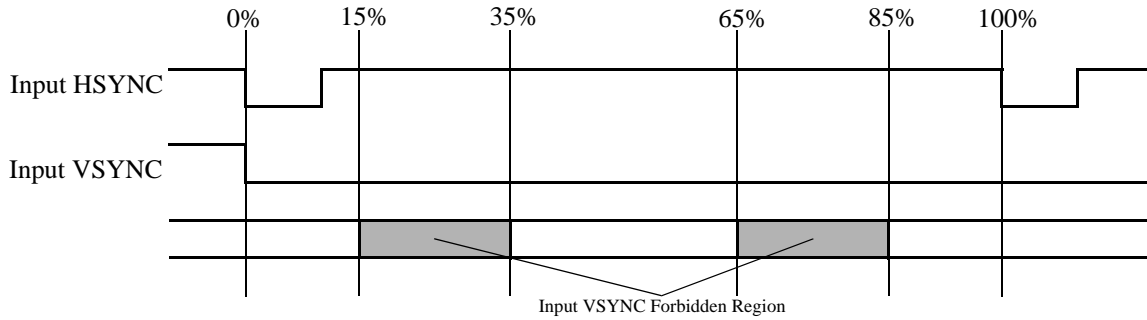
#### **R1F[3:0] HSYNC Filter Window 幅**

HSYNC Filter で用いる Filter Window 幅を設定します。設定可能な範囲は、入力 HSYNC のリーディングエッジ (3 値同期信号の場合は正極性パルスのリーディングエッジ) を中心に約 ± 100ns (内部オシレータクロック ± 4 サイクル) から約 ± 1600ns (内部オシレータクロック ± 64 サイクル) までで、設定値を増やすごとに約 ± 100ns (内部オシレータクロック ± 4 サイクル) ずつ広がります。



\*入力 VSYNC のタイミングに関して

**Input VSYNC Forbidden Region**



"Input VSYNC Forbidden Region" で入力 VSYNC が遷移する場合、以下の垂直タイミングが 1 ライン程度変動する可能性があります。

- 出力 VSYNC (VO・Regenerated VSYNC) タイミング設定レジスタ : R20[6:0]/R21[5:0]
- PLL COAST Timing タイミング設定レジスタ : R22[6:0]/R23[6:0]
- Clamp COAST Timing タイミング設定レジスタ : R24[6:0]/R25[6:0]
- DE 抑制期間 タイミング設定レジスタ : R2A[6:0]/R2B[6:0]

これらの垂直タイミングの変動を防ぐには、"Input VSYNC Forbidden Region" を避けるように VSYNC を入力して下さい。

**R20[7] 出力 VSYNC (VO・Regenerated VSYNC) タイミング自動設定イネーブル**

1 に設定すると出力 VSYNC 開始位置 (R20[6:0]) および出力 VSYNC パルス幅 (R21[5:0]) が、入力 VSYNC と同じタイミングになるように自動設定されます。出力 VSYNC 開始位置は 0 に設定され、出力 VSYNC パルス幅はシンクプロセッサによる入力 VSYNC パルス幅測定結果 (R30[7:0]) をもとに設定されます。

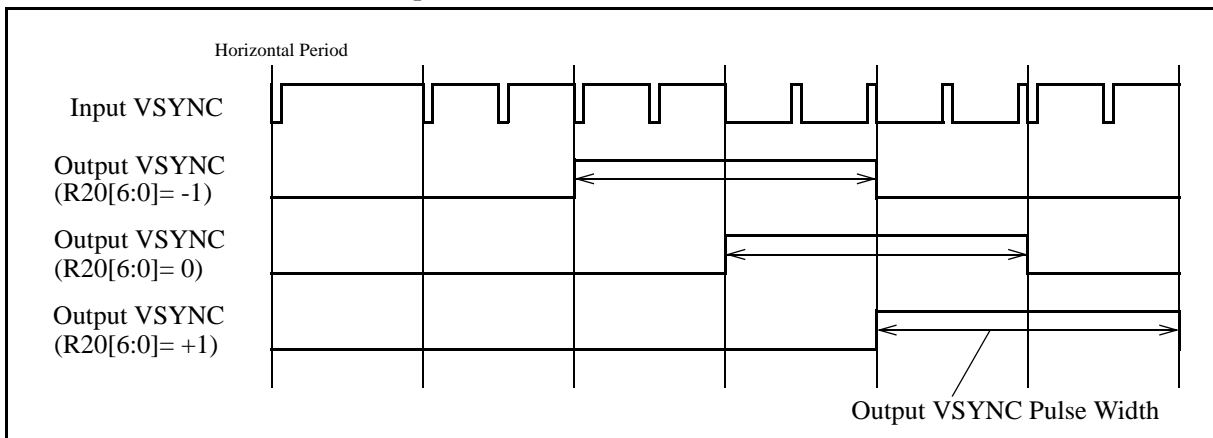
**R20[6:0] 出力 VSYNC (VO・Regenerated VSYNC) 開始位置**

端子 VSOUT から出力可能な VO および Regenerated VSYNC の開始位置を入力 VSYNC のリーディングエッジを基準に、1 ライン単位で設定します。設定値は 2 の補数で表現し、-64 ~ +63 の範囲で設定します。

**R21[5:0] 出力 VSYNC (VO・Regenerated VSYNC) パルス幅**

端子 VSOUT から出力可能な VO および Regenerated VSYNC のパルス幅を 1 ライン単位で設定します。

< Output VSYNC Start Position / Pulse Width >



### R22[7] PLL COAST タイミング自動設定イネーブル

等化パルスやコピーガード信号等で、PLL によるサンプリングクロック生成を乱す信号が含まれる期間は PLL を自走させることが必要な場合があります。PLL COAST 信号は、PLL を自走させる信号です。1 に設定すると PLL Pre-COAST (R22[6:0]) および PLL Post-COAST (R23[6:0]) が自動設定されます。自動設定モードによって生成される PLL COAST タイミングは、HSYNC Filter イネーブル (R1F[4]) の設定によって異なります。

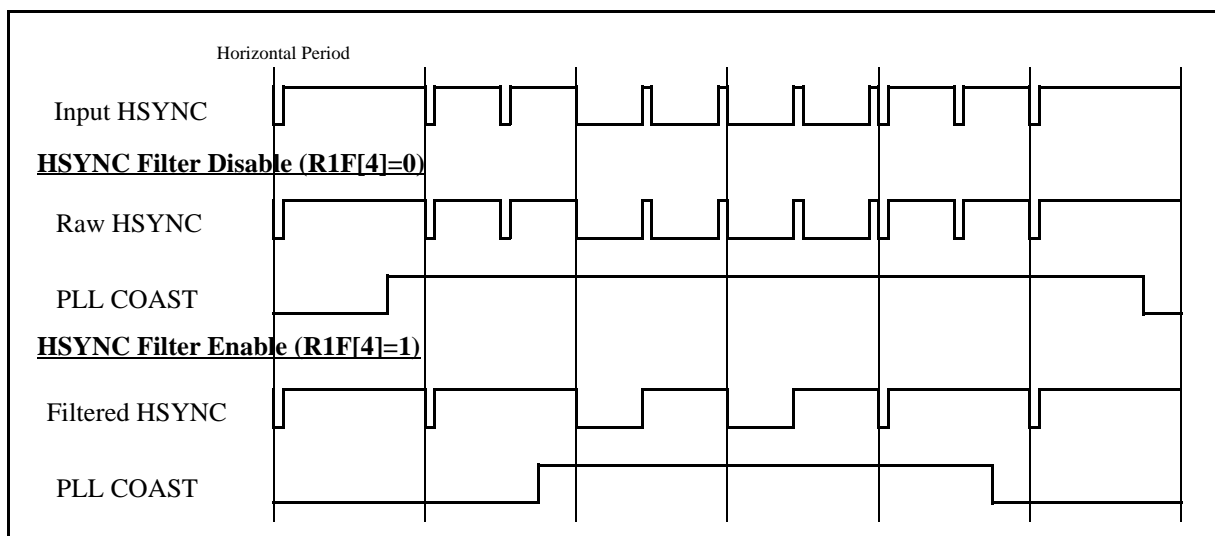
\* HSYNC Filter ディセーブル (R1F[4]=0) の場合は、

(入力 VSYNC パルス期間) + (入力 HSYNC に含まれる余剰遷移や遷移欠損が含まれる期間) が PLL COAST タイミングに設定されます。

\* 同期信号形式選択が "Separate Sync" に設定されている場合 (R12[1:0]=00b) でも、入力 VSYNC パルス期間は PLL COAST タイミングに設定されます。

\* HSYNC Filter イネーブル (R1F[4]=1) の場合は、HSYNC Filter によって余剰遷移は取り除かれているので、入力 VSYNC パルス期間が PLL COAST タイミングに設定されます。

#### < PLL COAST Auto Mode >



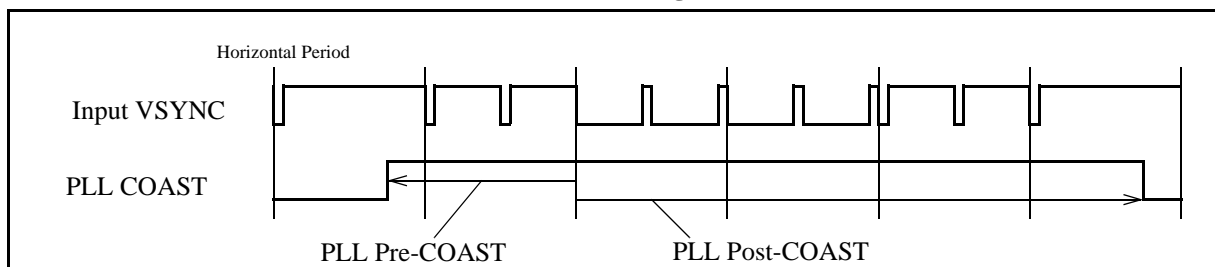
### R22[6:0] PLL Pre-COAST

PLL COAST の開始位置を入力 VSYNC のリーディングエッジを基準に、1 ライン単位で設定します。

### R23[6:0] PLL Post-COAST

PLL COAST の終了位置を入力 VSYNC のリーディングエッジを基準に、1 ライン単位で設定します。

#### < PLL COAST Timing >



### R24[6:0] Clamp Pre-COAST

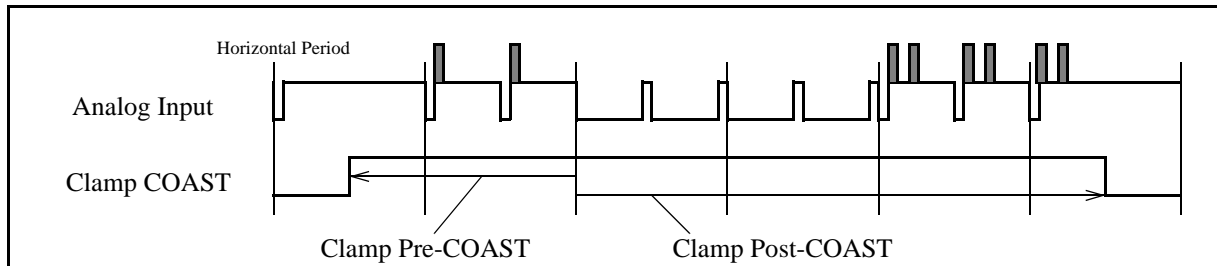
コピーガード信号等で、クランプを乱す信号が含まれる期間はクランプを停止させることが必要な場合があります。クランプ COAST 信号は、クランプを停止させる信号です。

クランプ COAST の開始位置を入力 VSYNC のリーディングエッジを基準に、1 ライン単位で設定します。

### R25[6:0] Clamp Post-COAST

クランプ COAST の終了位置を入力 VSYNC のリーディングエッジを基準に、1 ライン単位で設定します。

#### < Clamp COAST Timing >



\*クランプ COAST タイミングは、3 値同期スライスにも関連します。同期信号形式選択が "Sync on Video (3 値)" (R12[1:0]=11b) の場合、クランプ COAST タイミングは、VSYNC パルスを含む期間（インターレース信号では等化パルス期間を含む期間）に設定し、映像のアクティブラインが始まる 12 ライン手前までに終了するように設定して下さい（設定例：Clamp Pre-COAST=2 / Clamp Post-COAST=8）。

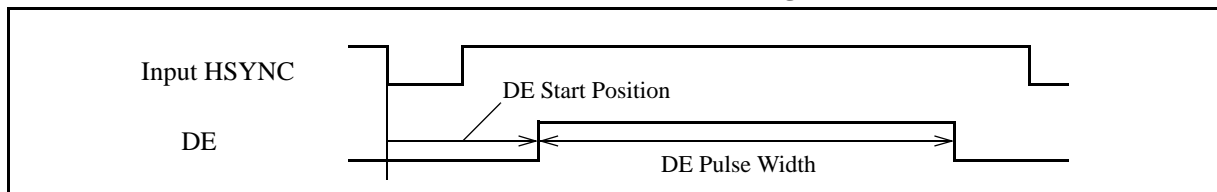
### R26[3:0] / R27[7:0] DE 開始位置

端子 O/E FIELD から出力可能な DE（データイネーブル信号）の開始位置を 1 ピクセル単位で、入力 HSYNC のリーディングエッジ（3 値同期信号の場合は正極性パルスのリーディングエッジ）を基準に、設定します。

### R28[3:0] / R29[7:0] DE パルス幅

端子 O/E FIELD から出力可能な DE（データイネーブル信号）のパルス幅を 1 ピクセル単位で設定します。DE の極性は Active-High です。

#### < DE Horizontal Timing >



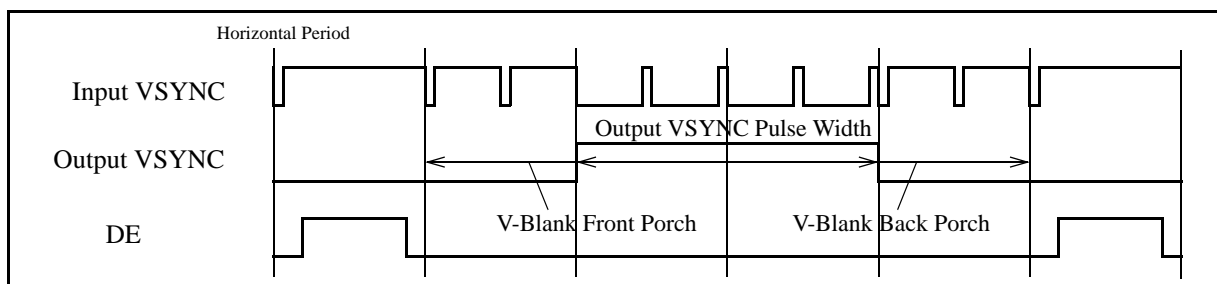
### R2A[6:0] 垂直ブランク期間フロントポーチ (DE 抑制期間開始位置)

端子 O/E FIELD から出力可能な DE（データイネーブル信号）の抑制期間の開始位置を出力 VSYNC 開始位置 (R20[6:0]) を基準に、1 ライン単位で設定します。

### R2B[6:0] 垂直ブランク期間バックポーチ (DE 抑制期間終了位置)

端子 O/E FIELD から出力可能な DE（データイネーブル信号）の抑制期間の終了位置を出力 VSYNC 終了位置 (R20[6:0]+R21[5:0]) を基準に、1 ライン単位で設定します。

#### < V-Blank Front Porch / V-Blank Back Porch >





**R2C[3:2] ポート1 入力シンクタイプ判定結果****R2C[1:0] ポート0 入力シンクタイプ判定結果**

各入力信号を監視し入力信号の形式を判定した結果が読み出せます。

**< Input Sync Type Detection >**

HSYNC	VSYNC	SOGIN	Input Sync Type	R2C[3:2] R2C[1:0]
Not Active	Not Active	Not Active	No Signal	11b
Not Active	Not Active	Active	Sync on Video	10b
Not Active	Active	Not Active	No Signal	11b
Not Active	Active	Active	Sync on Video	10b
Active	Not Active	Not Active	Composite Sync	01b
Active	Not Active	Active	Composite Sync	01b
Active	Active	Not Active	Separate Sync	00b
Active	Active	Active	Separate Sync	00b

**R2D[2] 入力 VSYNC 極性判定結果**

入力 VSYNC の極性を判定した結果が読み出せます。  
 入力極性が Active-Low の場合には、0 が読み出せます。  
 入力極性が Active-High の場合には、1 が読み出せます。

**R2D[1] 入力 HSYNC 極性判定結果**

入力 HSYNC の極性を判定した結果が読み出せます。  
 入力極性が Active-Low の場合には、0 が読み出せます。  
 入力極性が Active-High の場合には、1 が読み出せます。

**R2D[0] Sync on Video 2 値 / 3 値判定結果**

選択しているポート (R12[3]) の入力信号を Sync on Video と判定した場合 (R2C[6:5], R2C[4:3]=10b) に、2 値 / 3 値判定した結果が読み出せます。  
 2 値と判定された場合は、0 が読み出せます。  
 3 値と判定された場合は、1 が読み出せます。  
 \*入力信号が Sync on Video でない場合には、0 が読み出せます。

**R2E[7] インターレース検出結果**

入力 HSYNC および入力 VSYNC からインターレース検出した結果が読み出せます。  
 ノンインターレース (プログレッシブ) と判定された場合は、0 が読み出せます。  
 インターレースと判定された場合は、1 が読み出せます。

**R2E[6:0] / R2F[7:0] 垂直総ライン数測定結果**

入力 HSYNC および入力 VSYNC から垂直総ライン数を 1/4 ライン単位で測定した結果が読み出せます。

**R30[7:0] 入力 VSYNC パルス幅測定結果**

入力 HSYNC および入力 VSYNC から入力 VSYNC パルス幅を 1/4 ライン単位で測定した結果が読み出せません。

**R31[2] Reserved \* 0 に設定して下さい (デフォルト値 : 0)****R31[1] 外部 REFCLK 入力イネーブル**

1 に設定すると、端子 CLAMP に 7 ~ 40MHz のクロックを入力することで水平周期測定 (R32[3:0] / R33[7:0] / R34[7:0]) を行うことができます。入力するクロックの周波数精度は測定結果に直接影響しますので、周波数精度の高いクロックを入力して下さい。  
 \*外部 REFCLK 入力イネーブル (R31[1]=1) の場合、クランプパルス外部入力 (R16[2]) はできません。

### R31[0] 水平周期測定停止・測定

0 に設定すると、水平周期測定を停止します。

1 に設定すると、水平周期測定を実行します (100 ラインごとに測定結果が更新されます)。

\*測定結果 (R32[3:0]/R33[7:0]/R34[7:0]) を読み出す場合は測定を停止して下さい。

### R32[3:0]/R33[7:0]/R34[7:0] 水平周期測定結果

水平周期 100 ラインの期間を外部 REFCLK でカウントした値が読み出せます。

水平周期および水平周波数は、以下の式によって算出します。

$$\text{水平周期 [us]} = \text{測定結果} / (100 \times \text{fREFCLK})$$

$$\text{水平周波数 [kHz]} = \text{fREFCLK} \times 10^5 / \text{測定結果}$$

ただし、fREFCLK は REFCLK 周波数 (単位: MHz)

\*水平周期測定を行うためには、端子 CLAMP にリファレンスクロック (7 ~ 40MHz) を入力し、外部 REFCLK 入力イネーブル (R31[1]=1) に設定して下さい。

\*水平周期測定の実行を開始 (R31[0]=1) してから 20ms 以上 (300 ライン以上) 経過後に測定を停止 (R31[0]=1) し、測定結果 (R32[3:0]/R33[7:0]/R34[7:0]) を読み出して下さい。

### R35[7] 同期信号有効フラグ (イベントレコーダ)

入力同期信号に HSYNC および VSYNC が検出された場合に 1 がセットされます。この時点で、各種測定・検出結果は確定しています。

### R35[4] ポート 1 入力シンクタイプ変化監視 (イベントレコーダ)

### R35[3] ポート 0 入力シンクタイプ変化監視 (イベントレコーダ)

ポート 1 入力信号判定結果 (R2C[3:2])、ポート 0 入力信号判定結果 (R2C[1:0]) が変化した場合に 1 がセットされます。

### R35[2] 入力信号変化監視

以下の判定・測定結果が 1 つでも変化した場合に 1 がセットされます。

- ・入力 HSYNC 極性判定
  - ・入力 VSYNC 極性判定
  - ・垂直総ライン数測定 (変化検出スレッシュホールド (R37[7:5]) デフォルト設定: ±1 ライン。)
  - ・入力 VSYNC パルス幅測定 (変化検出スレッシュホールド (R37[4:3]) デフォルト設定: ±1 ライン。)
  - ・水平周期測定 (変化検出スレッシュホールド (R37[2:0]) デフォルト設定: ±64)
- \*入力シンクタイプが変化しない、シームレスな入力信号の切り替わりを検出することができます。

### R35[1] 入力 HSYNC 遷移欠損検出 (イベントレコーダ)

入力 HSYNC の遷移を監視し、遷移が期待されるタイミングに遷移が検出されない場合に 1 がセットされます。PLL COAST 期間 (R22[6:0]/R23[6:0]) は監視の対象外です。

\*OR 型 CSYNC 等、VSYNC パルス期間に HSYNC パルスを含まない信号があります。

このような期間は PLL COAST 信号でマスクする必要があります。

### R35[0] 入力 HSYNC 余剰遷移検出 (イベントレコーダ)

入力 HSYNC の遷移を監視し、遷移が期待されないタイミングに遷移が検出された場合に 1 がセットされます。PLL COAST 期間 (R22[6:0]/R23[6:0]) は監視の対象外です。

\*等化パルス、コピーガード信号等、VSYNC パルス付近に余剰なパルスを含む信号があります。

このような期間は PLL COAST 信号でマスクするか、HSYNC Filter (R1F[4]) によって余剰なパルスを取り除く必要があります。

\*イベントレコーダによる入力同期信号の監視、検出を開始する場合には、イベントレコーダに対して 1 を書き込む動作を行い、値をクリアして下さい。

### R36[7]/R36[4:0] イベントレコーダ (R35[7]/R35[4:0]) による割り込み要求イネーブル

1 に設定すると、対応するビット位置のイベントレコーダに 1 がセットされた時に割り込み要求信号が発生します。割り込み要求信号は端子 O/E FIELD から出力可能です (R1E[3:1]=011b)。

#### < Sync Processor IRQ Enable >

Event Recorder	Event	IRQ Enable
R35[7]	Input Sync Valid	R36[7]
R35[6]	Reserved	R36[6]
R35[5]	Reserved	R36[5]
R35[4]	Port-1 Input Sync Type Change	R36[4]
R35[3]	Port-0 Input Sync Type Change	R36[3]
R35[2]	Input Sync Timing Change	R36[2]
R35[1]	HSYNC Defective Pulse	R36[1]
R35[0]	HSYNC Extraneous Pulse	R36[0]

### R37[7:5] 入力信号変化監視～垂直総ライン数変化検出スレッシュホールド

入力信号変化監視 (R35[2]) のうち、垂直総ライン数の変化検出スレッシュホールドを設定します。

垂直総ライン数測定結果 (R2E[6:0]/R2F[7:0]) が設定以上変化したときに、変化監視結果が 1 になります。

- 000b: 0.5 ライン
- 001b: 1 ライン
- 010b: 2 ライン
- 011b: 4 ライン
- 100b: 8 ライン
- 101b: 16 ライン
- 110b: 32 ライン
- 111b: 監視しない

### R37[4:3] 入力信号変化監視～入力 VSYNC パルス幅変化検出スレッシュホールド

入力信号変化監視 (R35[2]) のうち、入力 VSYNC パルス幅の変化検出スレッシュホールドを設定します。

入力 VSYNC パルス幅測定結果 (R30[7:0]) が設定以上変化したときに、変化監視結果が 1 になります。

- 00b: 0.5 ライン
- 01b: 1 ライン
- 10b: 4 ライン
- 11b: 監視しない

### R37[2:0] 入力信号変化監視～水平周期変化検出スレッシュホールド

入力信号変化監視 (R35[2]) のうち、水平周期の変化検出スレッシュホールドを設定します。

水平周期測定結果 (R32[3:0]/R33[7:0]/R34[7:0]) が設定以上変化したときに、変化監視結果が 1 になります。

- 000b: 8
- 001b: 16
- 010b: 32
- 011b: 64
- 100b: 128
- 101b: 256
- 110b: 512
- 111b: 監視しない

### R39[7:2] Reserved \* 11111b に設定して下さい (デフォルト値 : 11111b)

R39[1] SOG スライサポート 1 (端子 SOGIN1) パワーオン

R39[0] SOG スライサポート 0 (端子 SOGIN0) パワーオン

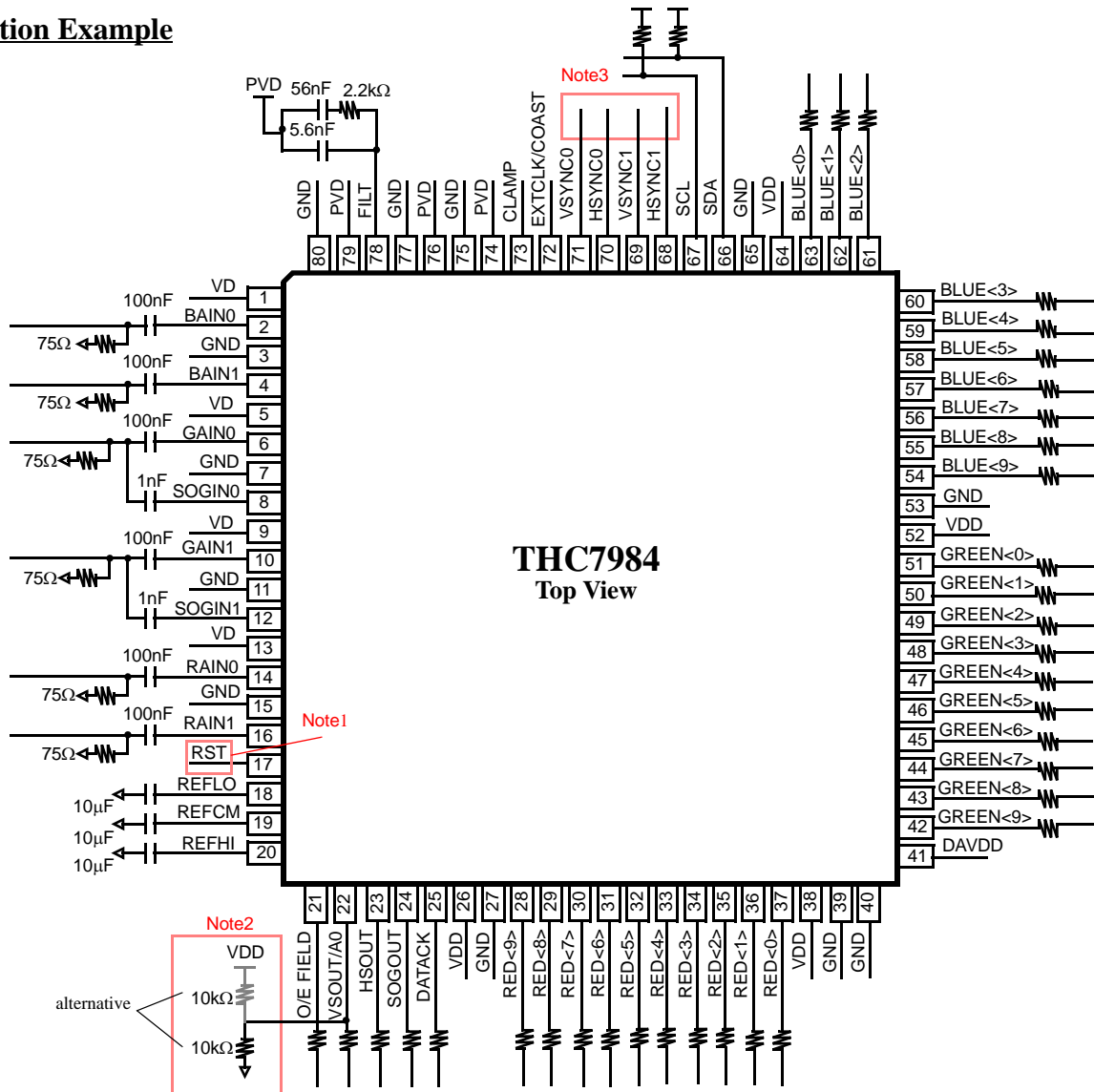
SOG スライサを使用しない場合、パワーダウンすることができます。

SOG スライサポート 1 のみパワーダウンするときは R39=FDh、SOG スライサポート 0 のみパワーダウンするときは R39=FEh、両方ともパワーダウンするときは R39=FCh に設定して下さい。

\* R38 および R3A 以降のレジスタはテスト等に用いるレジスタですので書き込みを行わないで下さい。

## ■周辺回路

### Application Example



#### Note1. パワーダウン/リセット入力

- ・ 使用しない場合は、**Low 固定**して下さい（例：抵抗（10kΩ）でプルダウン）。
- ・ 端子 RST はデバイス内部でプルアップ、プルダウン等しておりません。

#### Note2. デバイスアドレス設定

端子 VSOUT/A0 を抵抗（10kΩ）でプルダウン：デバイスアドレスは 1001100 になります。

端子 VSOUT/A0 を抵抗（10kΩ）でプルアップ：デバイスアドレスは 1001101 になります。

- ・ プルアップの場合は抵抗を VDD に接続して下さい。
- ・ 後段のデバイスには入力がバスホールドタイプになっているものは使用しないで下さい。（デバイスアドレスを正しく取得できなくなります。）
- ・ 端子 VSOUT はデバイス内部でプルアップ、プルダウン等しておりませんので、必ず端子に抵抗を接続して下さい。

#### Note3. 同期信号入力

- ・ 電源未投入時にデジタル入力端子に定格（PVD+3.6V）以上の電圧が印加されないように外部回路を構成して下さい。
- ・ 同期信号無入力時に入力レベルを固定するようにして下さい（例：抵抗（10kΩ）でプルダウン）。

## 2ポート（ポート0 /ポート1）使用時のクロストークに関するご注意

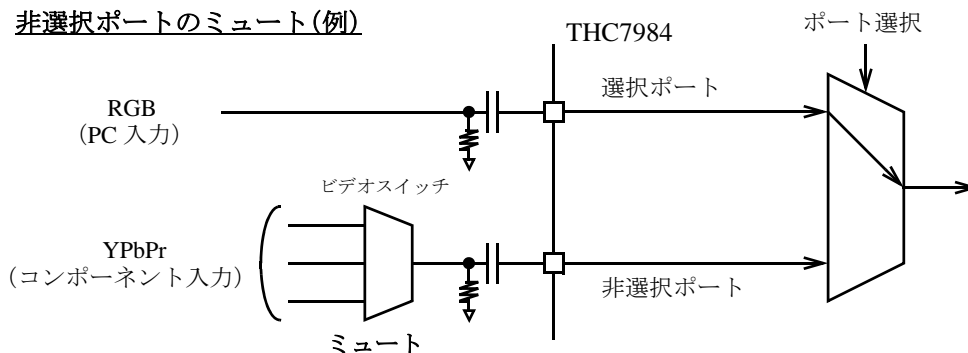
### ■映像信号のクロストーク

非選択ポートに信号が入力されている場合、クロストークにより選択ポートの映像信号に微弱なノイズを与えますが、入力信号振幅が標準的な場合にはほとんど影響を与えません。

入力信号にコピーガードパルスが含まれる場合、信号振幅はシンクの底からコピーガード信号のピークまでが標準的には約 1.15V ですが、さらに信号振幅が大きい非標準的な信号が非選択ポートに入力される場合で、さらに電源電圧 VD が低め (1.7V) の場合に、選択ポートに対してクロストークが影響する可能性があります。このようなクロストークが発生しないようにするためには、コンポーネントビデオ信号\* が入力されるポートは、ポート非選択時に信号が入力されないよう前段のビデオスイッチやビデオバッファにおいてミュート（出力停止）して下さい。

\* コンポーネントビデオ信号は、シンクやコピーガードパルス込みでの信号振幅が大きいため

### 非選択ポートのミュート(例)



### ■ SOG スライサのクロストーク

シンクオンビデオ信号 (SOG・SOY) から同期信号を抽出するためのスライサ (SOG スライサ) を内蔵しておりますが、同期信号形式選択が Sync on Video (2 値) (R12[1:0]=10b) で非選択ポートに信号が入力されている場合、クロストークによりクロックジッタに影響を及ぼす可能性があります。

\* SOG スライサを利用しない場合（入力信号が YPbPr 信号でも HSYNC を外部から入力する場合等）は、SOG クロストークはクロックジッタに影響しません。

SOG スライサのクロストークを抑制するためには、下記のどちらかの対策を行って下さい。

#### (1) 非選択ポートの SOG スライサをパワーダウンする

ポート 0 を選択しているとき (R12[3]=0) : ポート 1 の SOG スライサをパワーダウン (R39=FDh)

ポート 1 を選択しているとき (R12[3]=1) : ポート 0 の SOG スライサをパワーダウン (R39=FEh)

\* SOG スライサを使用しないポート (PC 入力で SOG 信号をサポートしない場合等) は、SOG スライサをパワーダウンすることで、SOG 入力端子に接続するコンデンサ (1nF) は不要となります。

#### (2) 非選択ポートの SOG 入力端子に信号が入力されないよう前段のビデオスイッチやビデオバッファにおいてミュート（出力停止）する

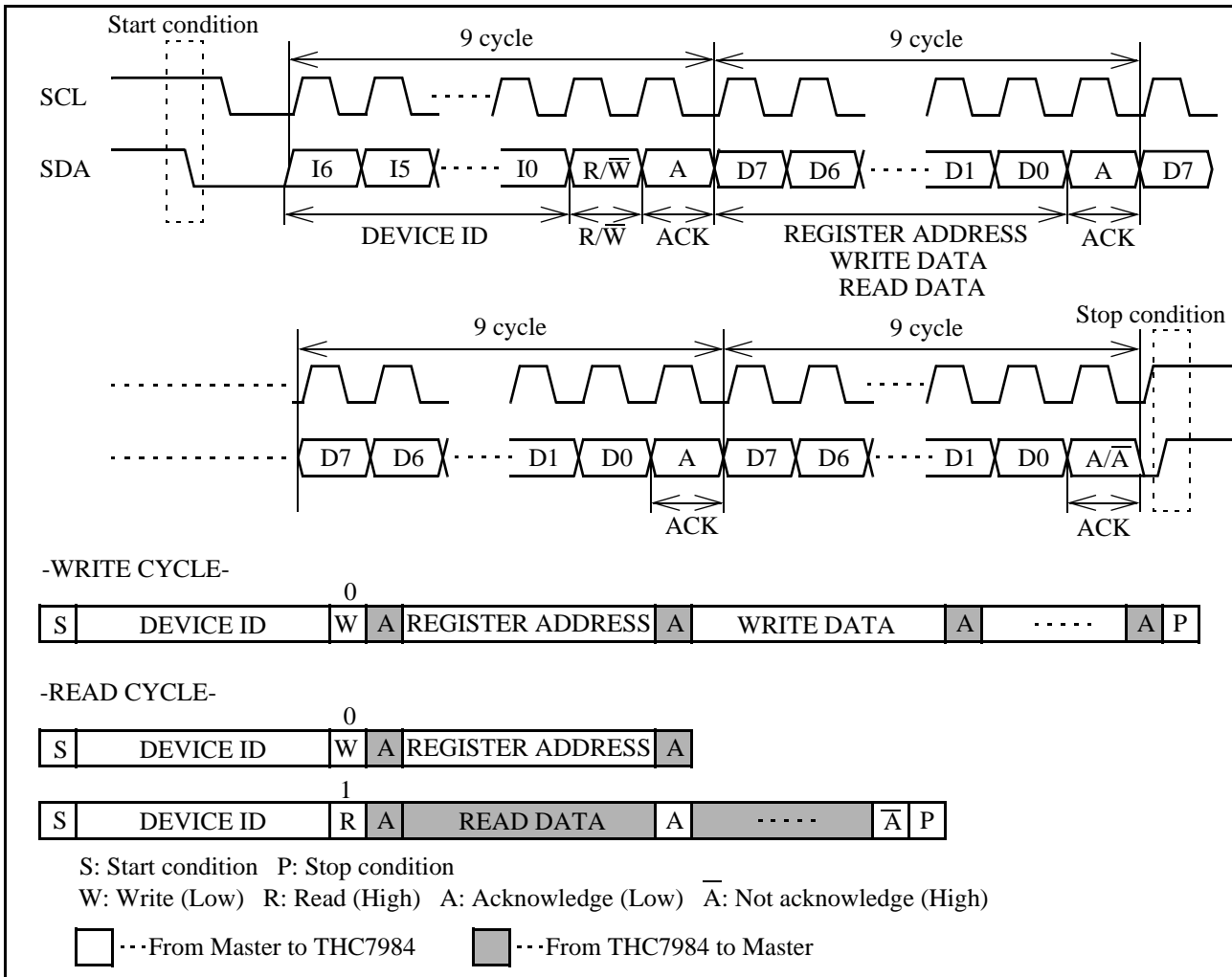
上記の対策によって、非選択ポートは SOG 信号の活性判定ができなくなりますので、以下の機能が利用できなくなります。

非選択ポートのシンクタイプ判定 (R2C[3:2]/R2C[1:0])

入力ポート自動設定 (R12[5])

## ■ 2線シリアルインターフェース

### < 2-wire Serial Interface Protocol >



\* THC7984 はスレーブデバイスとして動作します。

\* SCL が High の間は、SDA は一定でなくてはなりません。SDA を遷移させられるのは、SCL が Low の時に限られます（「開始/終了条件」を除く）。

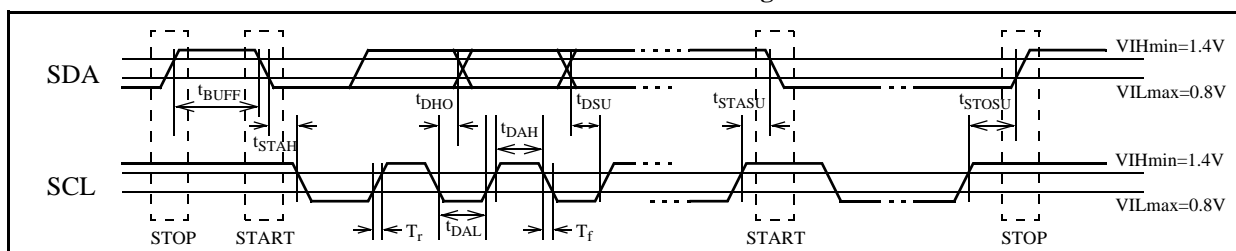
\* SCL が High の時に SDA が立ち下がると「開始条件」、SCL が High の時に SDA が立ち上がると「停止条件」となります。

\* 書き込み/読み出しサイクルでは、レジスタにデータを書き込む/読み出すたびにレジスタアドレス（アドレスポインタ）がインクリメントされます。アドレスポインタは、書き込みサイクルの終了時点では保持されますが、読み出しサイクルの終了時点では不定となります。

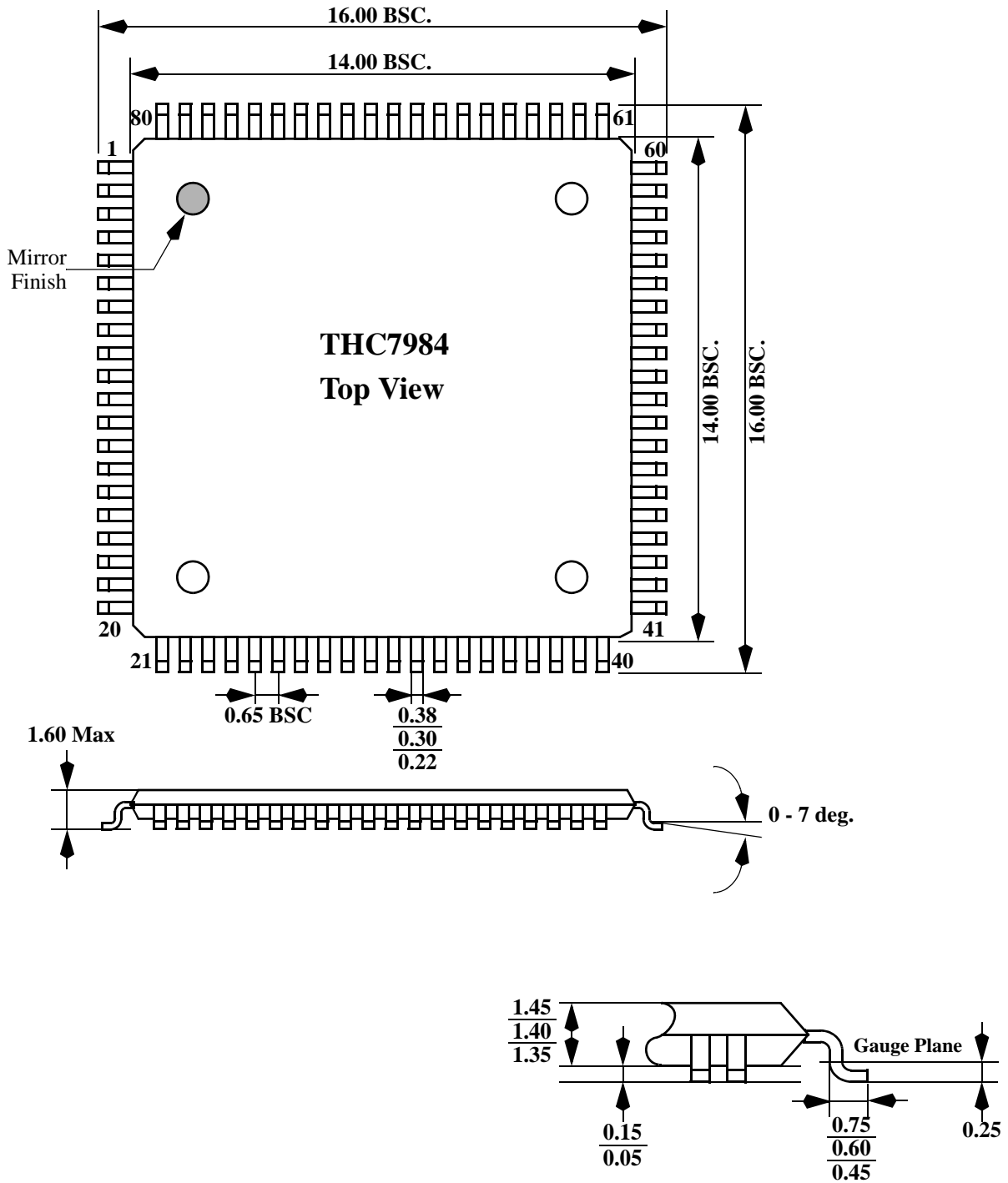
\* レジスタのデータを読み出すには、まず書き込みサイクルでレジスタアドレスを指定し、読み出しサイクルでデータを読み出します。

\* SCL=High が 39ms 以上、または SCL=Low が 19ms 以上続いた場合、ウォッチドッグタイマーが作動することがありますので、「WRITE CYCLE」や「READ CYCLE」の途中にこの時間以上の WAIT を入れないで下さい。

### < 2-wire Serial Interface Timing >



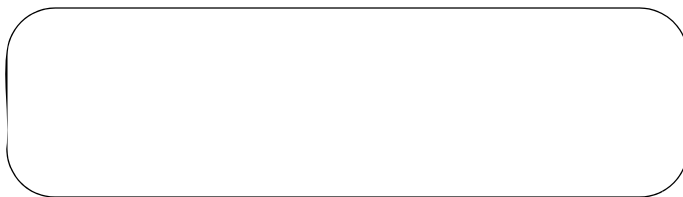
■ パッケージ寸法 (単位 : mm)





**■諸注意とお願い**

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。
2. 本資料に記載された回路図は、あくまでも応用例として記載されております。従って、お客様の設計に置かれましては十分な注意をお願いいたします。また、文中の誤りにつきましてはその責を負いかねます。誤りが発見されましても直ちに修正できない場合がございますので、ご了承下さい。
3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく複製または第三者に公開しないようお願い申し上げます。
4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承下さい。
5. 本製品は、一般的な電子機器に使用されることを前提としております。従って、極めて高い信頼性を要求される用途（人命に直接関わる医療機器、宇宙機器、原子力制御機器など）には、使用しないで下さい。また、これ以外でも輸送機器の制御と安全性に関する装置、交通信号、各種安全装置等にご使用の際は、適切な措置を講じたうえでご使用下さい。
6. 弊社は、製品の品質および信頼性の向上について最大限の努力をしておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等をおこなって下さい。
7. 本製品は、耐放射線設計は行われておりませんのでご注意をお願いします。
8. 本製品が、外国為替および外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願いいたします。



問い合わせ先  
ザインエレクトロニクス株式会社  
E-mail : sales@thine.co.jp