

# THL3514

## 24-channel Constant Current LED Driver with LVDS Interface

### 概要

THL3514 は 24 チャンネルの定電流シンク出力を持つ LED ドライバです。定電流値は外付けの抵抗により、3 系統の設定が可能です。発振器、PWM 回路内蔵しており、レジスタ書き込みにより LED の輝度を各チャンネル個別に 256 段階で設定することができます。シリアルインターフェースは、LVDS の差動 2 ペア（クロック、データ）になっており、高ノイズ耐性、高速、長距離伝送を実現します。LVDS はカスケード接続とマルチドロップ接続の両方に対応し、LED ドライバの配置、接続の自由度が増します。通信プロトコルはシンプルな片方向通信ですので、CPU への負荷が小さく、制御しやすくなっております。

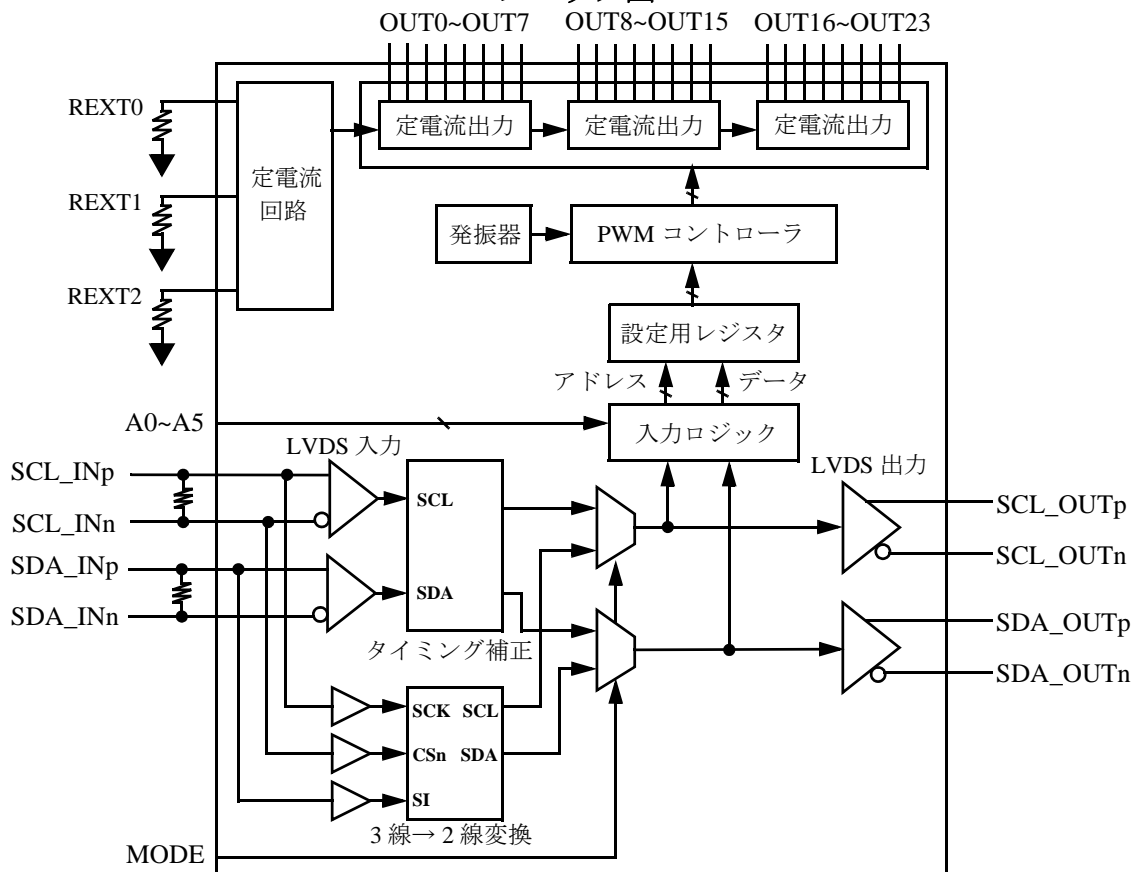
### アプリケーション

- アミューズメント機器
- LED バックライト
- LED ディスプレイ
- デジタルサイネージ
- イルミネーション

### 特長

- < LED ドライバ部 >
  - ・定電流シンク出力 24 チャンネル
  - ・出力シンク電流 最大 40mA/チャンネル
  - ・出力耐圧 最大 40V
  - ・チャンネル個別輝度調整 256 段階
  - ・出力ディセーブル機能
- < シリアルインターフェース部 >
  - ・2 線シリアル LVDS 入力 または 3 線シリアル CMOS レベル入力 最大 10Mbps
  - ・3 線シリアル CMOS レベルから 2 線シリアル LVDS へのブリッジ機能
  - ・2 線シリアル LVDS のリピーター機能 波形整形、タイミング補正付き
  - ・デバイスアドレス指定（最大 62 個）
  - ・全デバイス一括レジスタ書き込みも可能
- ・各種保護機能内蔵 UVLO、短絡保護、サーマルシャットダウン
- ・電源電圧範囲：3.0 ~ 5.5V
- ・パッケージ：QFN 48-pin Exposed Pad
- ・EU RoHS 準拠

<ブロック図>



■絶対最大定格

パラメータ	条件	最小	標準	最大	単位
電源電圧VDD		-0.4		6.0	V
デジタル入力電圧 *注1		-0.5		6.0	V
LEDドライバ出力電圧				40	V
保存周囲温度		-55		150	°C
ジャンクション温度 Tj				150	°C

\*注1：端子 A0 のみ最大 VDD+0.5V。電源未投入時は端子 A0 に 0.5V 以上の電圧を印加しないで下さい。

■推奨動作条件

パラメータ	条件	最小	標準	最大	単位
電源電圧VDD		3.0		5.5	V
LEDドライバ出力電圧				35	V
LEDドライバ出力電流 *注2				40	mA/ch
動作周囲温度 Ta		-40		85	°C

\*注2：ご使用条件により電流波形にオーバーシュートが発生しますので、LED はパルス順方向電流の絶対最大定格値が 80mA 以上のものをご使用下さい。

■電気的特性 (特に明記がない限り、VDD=5V、Ta=25 °C)

パラメータ	条件	最小	標準	最大	単位
電源電流 *1	VDD=3.3V, LVDS出力終端抵抗なし 出力電流 Iout=20mA (REXT=2.4kΩ)		11		mA
	VDD=3.3V, LVDS出力終端抵抗:100Ω 出力電流 Iout=20mA (REXT=2.4kΩ)		18		mA
	VDD=5.0V, LVDS出力終端抵抗なし 出力電流 Iout=20mA (REXT=2.4kΩ)		13		mA
	VDD=5.0V, LVDS出力終端抵抗:100Ω 出力電流 Iout=20mA (REXT=2.4kΩ)		21		mA
	VDD=5.5V, LVDS出力終端抵抗:100Ω 出力電流 Iout=20mA (REXT=2.4kΩ)			28	mA
内部発振周波数(fosc)			900		kHz
UVLO スレッシュホールド電圧(VDD立ち上がり)			2.5		V
UVLO ヒステリシス電圧			0.1		V
定電流出力 チャンネル間誤差				±3	%
定電流出力 デバイス間誤差				±6	%
LEDドライバ出力オフリーク電流				±1	μA
デジタル入力ハイレベル電圧 (VIH)		0.7VDD			V
デジタル入力ローレベル電圧 (VIL)				0.3VDD	V
デジタル入力ヒステリシス電圧		0.05VDD			V
デジタル入力リーク電流				±10	μA
LVDS入力差動電圧 (VID)	VIC=1.25V	±100			mV
LVDS入力リーク電流				±30	μA
LVDS出力差動電圧 (VOD)	VDD=3.0V	240			mV
	VDD=3.3V		350		mV
	VDD=5.0V		420		mV
	VDD=5.5V			480	mV
LVDS出力コモンモード電圧 (VOC)		1.1	1.25	1.4	V

・3線シリアル CMOS レベル入力 (端子 MODE=High)

記号	パラメータ	条件	最小	標準	最大	単位
fSCK	SCL 周波数				10	MHz
tCH	SCL ハイ期間		40			ns
tCL	SCL ロー期間		40			ns
tDVCH	SI セットアップ時間		10			ns
tCHDX	SI ホールド時間		10			ns
tCHSL	CSn Not Active ホールド時間		40			ns
tSLCH	CSn Active セットアップ時間		40			ns
tCHSH	CSn Active ホールド時間		40			ns
tSHCH	CSn Not Active セットアップ時間		40			ns
tSHSL	CSn Not Active 期間		200			ns

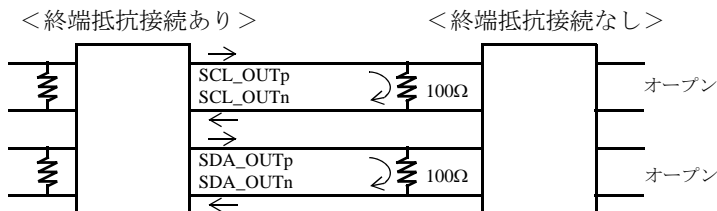
・2線シリアル LVDS 出力

記号	パラメータ	条件	最小	標準	最大	単位
tr, tf	SCL・SDA 遷移時間	*2			10	ns
tSTAH	Header Condition ホールド時間		6	10	20	ns
tDSU	SDA セットアップ時間		6	10	20	ns
tDHO	SDA ホールド時間		5			ns
tPWE	End Pulse 幅		25	40	70	ns
tPD	SCL 伝播遅延時間				30	ns

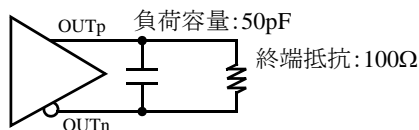
・2線シリアル LVDS 入力 (端子 MODE=Low)

記号	パラメータ	条件	最小	標準	最大	単位
fSCL	SCL 周波数				10	MHz
tDAH	SCL ハイ期間		25			ns
tDAL	SCL ロー期間		25			ns
tSTAH	Header Condition ホールド時間		4			ns
tDSU	SDA セットアップ時間		4			ns
tDHO	SDA ホールド時間		3			ns

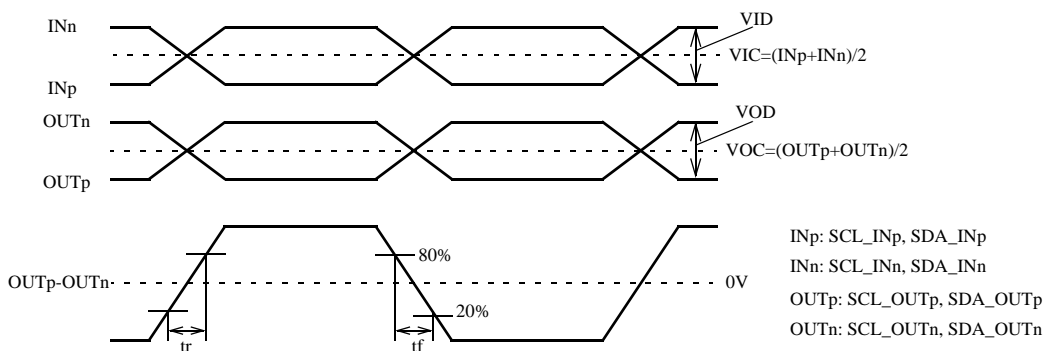
\*1. カスケード接続では LVDS 出力に終端抵抗を接続しますが、終端抵抗 1 本あたり電源電圧 VDD に依存して 2.4 ~ 4.8mA の電流が流れるため、終端抵抗を接続しない場合と比べて消費電流が増大します。



\*2. SCL・SDA 遷移時間測定条件

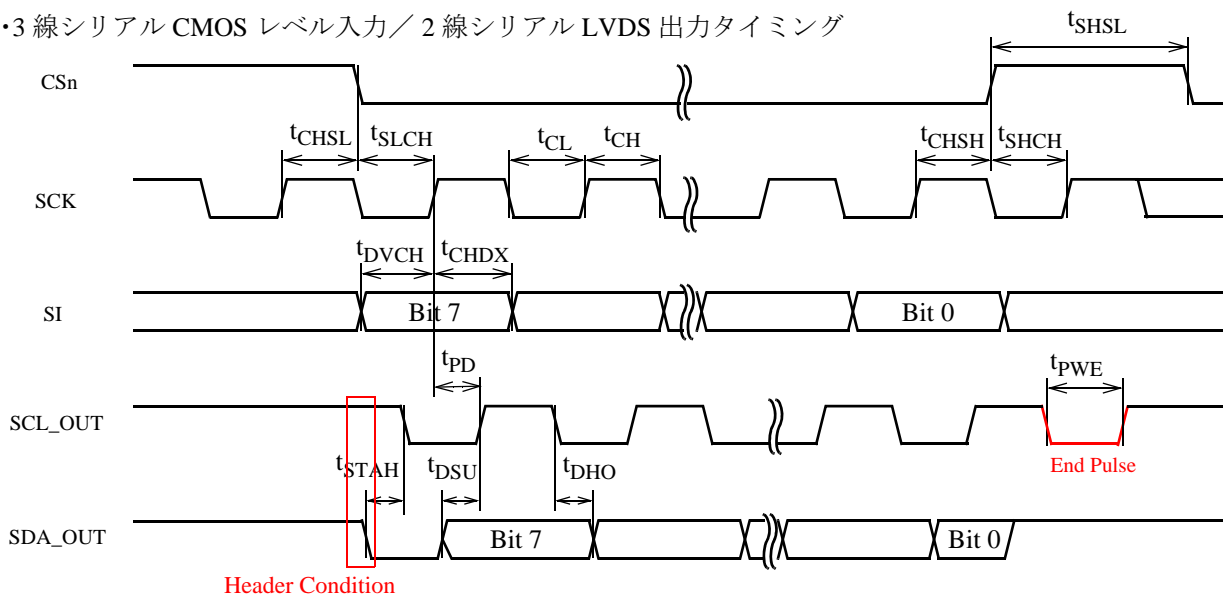


**LVDS スペック**

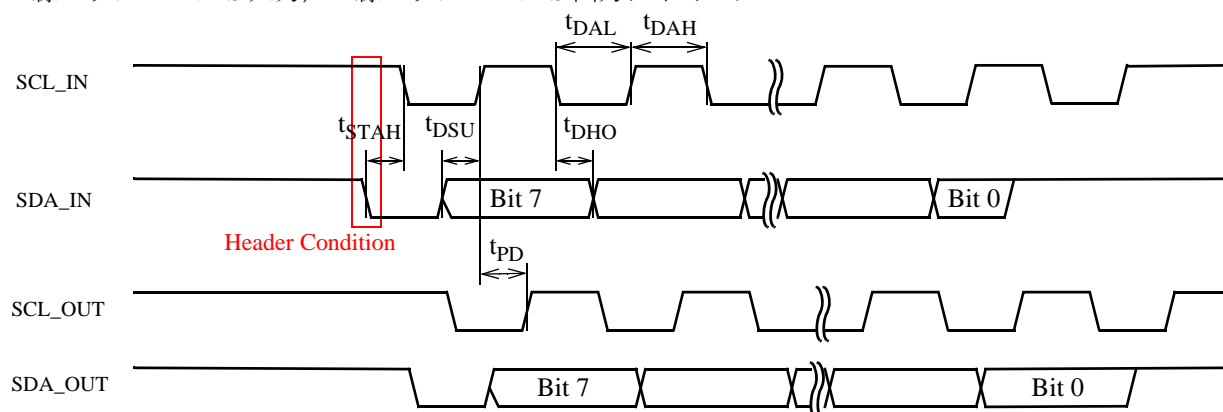


**タイミングダイアグラム**

• 3線シリアル CMOS レベル入力 / 2線シリアル LVDS 出力タイミング



• 2線シリアル LVDS 入力 / 2線シリアル LVDS 出力タイミング



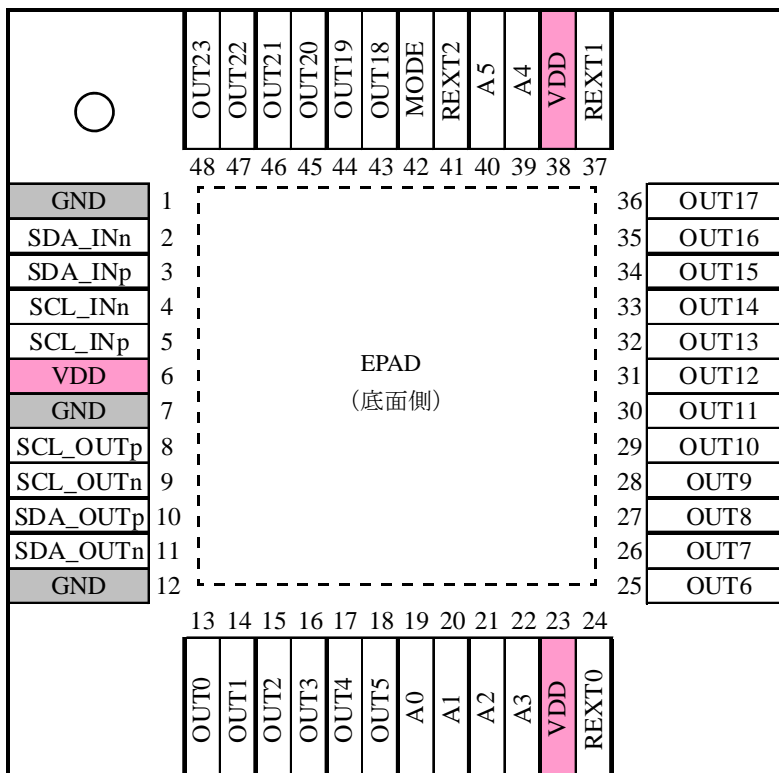
\* 信号の表記について

差動信号 (SCL\_INp - SCL\_INn), (SDA\_INp - SDA\_INn), (SCL\_OUTp - SCL\_OUTn), (SDA\_OUTp - SDA\_OUTn) をそれぞれ単に SCL\_IN, SDA\_IN, SCL\_OUT, SDA\_OUT と表記します。

\* クロック入力 SCL\_IN が High のときにデータ入力 SDA\_IN が立ち下がることを "Header Condition" と定義します。詳細は「2線シリアル LVDS 入力」の項を参照して下さい。

■ 端子配置

(上面図)



\* EPAD は内部で GND に接続しています。必ず設計基板上の GND に接続して下さい。

■ 端子リスト

端子名	分類	機能
MODE	デジタル入力	シリアルインターフェース入力モード選択 Low: 2線シリアルLVDS入力 High: 3線シリアルCMOSレベル入力
SCL_INp(SCK)	LVDS入力/ デジタル入力	MODE=Low: 2線シリアルLVDS クロック入力 - Positive MODE=High: 3線シリアル クロック入力 (SCK)
SCL_INn(CSn)	LVDS入力/ デジタル入力	MODE=Low: 2線シリアルLVDS クロック入力 - Negative MODE=High: 3線シリアル チップセレクト入力 (CSn)
SDA_INp(SI)	LVDS入力/ デジタル入力	MODE=Low: 2線シリアルLVDS データ入力 - Positive MODE=High: 3線シリアル データ入力 (SI)
SDA_INn	LVDS入力/ デジタル入力	MODE=Low: 2線シリアルLVDS データ入力 - Negative MODE=High: Reserved (Low固定して下さい)
SCL_OUTp	LVDS出力	2線シリアルLVDS クロック出力 - Positive
SCL_OUTn	LVDS出力	2線シリアルLVDS クロック出力 - Negative
SDA_OUTp	LVDS出力	2線シリアルLVDS データ出力 - Positive
SDA_OUTn	LVDS出力	2線シリアルLVDS データ出力 - Negative
OUT0~OUT23	定電流出力	LEDドライバ出力チャンネル 0~23
REXT0	アナログ出力	定電流値設定用抵抗接続 (OUT0~OUT7)
REXT1	アナログ出力	定電流値設定用抵抗接続 (OUT8~OUT15)
REXT2	アナログ出力	定電流値設定用抵抗接続 (OUT16~OUT23)
A0~A5	デジタル入力	デバイスアドレス入力 ビット0~5
VDD	—	電源
GND	—	グラウンド
EPAD	—	グラウンド

■レジスタの表記

アドレスは、先頭に”R”を付けて、16進数で表記します。（例）R00 アドレス00番地のレジスタ  
 ビット位置は、”[]”を用いて表記します。（例）R00[5:0] アドレス00番地のビット5～0  
 レジスタ値は、2進数で表記する場合、末尾に”b”を付けます。（例）R00[5:0]=111110b  
 レジスタ値は、10進数で表記する場合、末尾に何も付けません。（例）R04[7:0]=160  
 レジスタ値は、16進数で表記する場合、末尾に”h”を付けます。（例）R04=A0h

■レジスタマップ

アドレス	デフォルト値	機能	説明
R00[7]	0	PWM位相制御モード	0: 個別制御 1: グループ制御
R00[6]	0	LEDドライバ出力イネーブル	0: 出力ディセーブル 1: 出力イネーブル
R00[5:0]	-	-	内部固定
R01[7:0]	00h	個別輝度調整～OUT0	個別輝度=レジスタ値/256
R02[7:0]	00h	個別輝度調整～OUT1	
R03[7:0]	00h	個別輝度調整～OUT2	
R04[7:0]	00h	個別輝度調整～OUT3	
R05[7:0]	00h	個別輝度調整～OUT4	
R06[7:0]	00h	個別輝度調整～OUT5	
R07[7:0]	00h	個別輝度調整～OUT6	
R08[7:0]	00h	個別輝度調整～OUT7	
R09[7:0]	00h	個別輝度調整～OUT8	
R0A[7:0]	00h	個別輝度調整～OUT9	
R0B[7:0]	00h	個別輝度調整～OUT10	
R0C[7:0]	00h	個別輝度調整～OUT11	
R0D[7:0]	00h	個別輝度調整～OUT12	
R0E[7:0]	00h	個別輝度調整～OUT13	
R0F[7:0]	00h	個別輝度調整～OUT14	
R10[7:0]	00h	個別輝度調整～OUT15	
R11[7:0]	00h	個別輝度調整～OUT16	
R12[7:0]	00h	個別輝度調整～OUT17	
R13[7:0]	00h	個別輝度調整～OUT18	
R14[7:0]	00h	個別輝度調整～OUT19	
R15[7:0]	00h	個別輝度調整～OUT20	
R16[7:0]	00h	個別輝度調整～OUT21	
R17[7:0]	00h	個別輝度調整～OUT22	
R18[7:0]	00h	個別輝度調整～OUT23	

## ■機能説明

### □定電流値の設定

LED ドライバ出力チャンネルの定電流値は、端子 REXT0、REXT1、REXT2 と GND 間に接続する外付け抵抗で設定されます。外付け抵抗値 REXT は下記の式で算出されます。

$$\text{REXT}[\text{k}\Omega] = \frac{0.6 [\text{V}]}{\text{Iout} [\text{mA}]} \times 80 \quad (\text{Iout}=20\text{mA} \text{ における標準値})$$

(計算例) Iout=20mA のとき、REXT=0.6/20 × 80=2.4[kΩ]

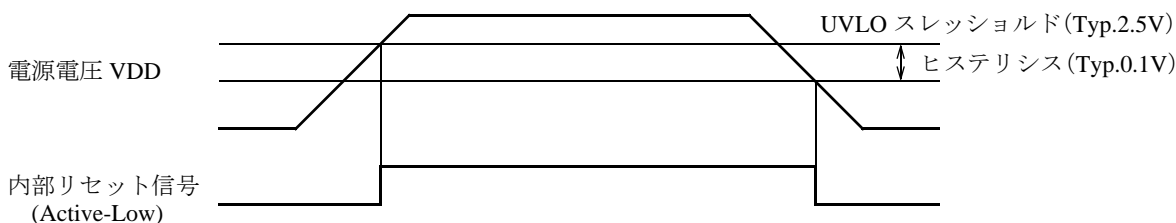
### □レジスタ書き込み

設定用に 25 バイト (R00-R18) のレジスタを内蔵します。レジスタへの書き込みは、シリアルインターフェースを用いて行い、電源が供給されている間は値を保持します。レジスタ値を読み出すことはできません。レジスタへの書き込みは、カスケード接続やマルチドロップ接続によって接続される全デバイスの電源電圧 VDD が 3.0V 以上で安定してから開始して下さい。

また、2 線シリアル LVDS 入力を使用する場合は、電源投入後、レジスタの書き込みを行う前に 2 線シリアル LVDS 入力の初期化を行って下さい。ただし、全レジスタ (R00-R18) を継続的に上書き (リフレッシュ) する場合には、電源投入後や電源瞬断後などに 2 線シリアル LVDS 入力の初期化を行うことは不要です。詳細は「2 線シリアル LVDS 入力の初期化」の項を参照して下さい。

### □ UVLO

電源電圧が低い状態での誤動作を防止するため UVLO (Under Voltage Locked Out) 回路を内蔵しています。電源電圧 VDD が 2.5V (Typ.) に達するまでは、内部ロジック回路をリセット状態に保持し、LED ドライバ出力および LVDS 出力は Hi-Z になります。また、UVLO 回路はヒステリシスを有しており、VDD の低下時には 2.4V (Typ.) で上記の UVLO 状態に入り、内部ロジック回路はリセットされ、レジスタにはデフォルト値がセットされます。



### □短絡保護

LED ドライバ出力に流れる過剰な電流を制限するために、定電流値設定用抵抗接続端子 REXT0 ~ REXT2 の短絡保護回路を内蔵しています。

端子 REXT0 ~ REXT2 が GND などに短絡した状態で LED ドライバ出力が ON した場合は、出力トランジスタに大電流が流れてデバイスが故障する恐れがあります。短絡保護機能は、端子 REXT0 ~ REXT2 の短絡状態を検出した場合に出力を OFF にする機能です。短絡状態が解消された場合には、自動的に通常動作に復帰します。

ただし、使用環境や異常状態の継続時間によっては必ずしもデバイスの故障、劣化を防ぐことができない場合があります。

### □サーマルシャットダウン

熱によるデバイスの故障を防ぐために、サーマルシャットダウン回路を内蔵しています。ジャンクション温度 Tj が絶対最大定格 150 °C を超えるとサーマルシャットダウン回路が動作し、LED ドライバ出力を OFF します。また、サーマルシャットダウン回路はヒステリシスを有しており、Tj が低下すると自動的に通常動作に復帰します。

ただし、使用環境や異常状態の継続時間によっては必ずしもデバイスの故障、劣化を防ぐことができない場合があります。

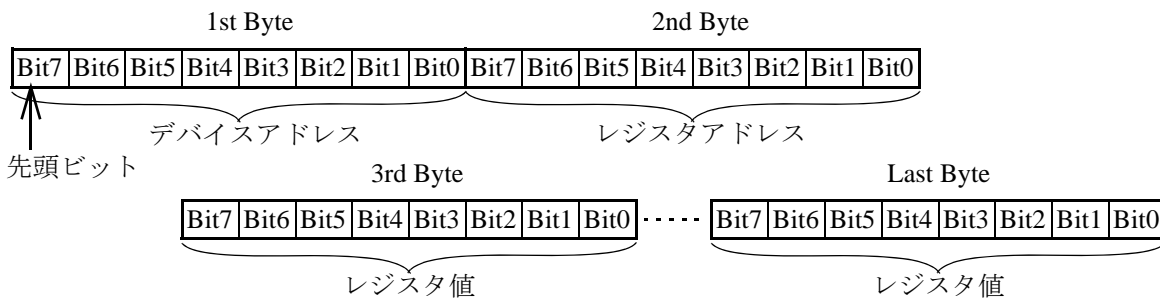


□シリアル通信プロトコル

レジスタ設定用のシリアルインターフェースとして、2線シリアルLVDS入力または3線シリアルCMOSレベル入力を端子MODEによって選択できます。2線シリアルLVDS入力と3線シリアルCMOSレベル入力は端子(SCL\_INp/SCL\_INn、SDA\_INp/SDA\_INn)を兼用し、端子MODE=Lowのときには2線シリアルLVDS入力になり、端子MODE=Highのときは3線シリアルCMOSレベル入力になります。

- ・シリアルインターフェースはクロック同期式で、レジスタへの書き込みのみ行います(片方向通信)。
- ・データ長は8ビットで、MSBファーストです。先頭ビットの指定方法は「2線シリアルLVDS入力」および「3線シリアルCMOSレベル入力」の項を参照して下さい。
- ・先頭ビットを含め、最初の8ビットを"1st Byte"、次の8ビットを"2nd Byte"のように定義します。
- ・"1st Byte"ではレジスタ書き込みを行うデバイスアドレスを指定します。デバイスアドレスを00hに指定すると全デバイスに書き込みを行います(ただし、端子A5～A0によりデバイスアドレスを00111111に設定したデバイスを除く)。
- ・"2nd Byte"ではレジスタのアドレスを指定します。
- ・"3rd Byte"以降は書き込むレジスタ値を指定します。レジスタアドレスはレジスタ値8ビットを書くごとにインクリメントされます。すなわち"3rd Byte"で指定した値は"2nd Byte"で指定したアドレスに書き込まれ、"4th Byte"で指定した値は("2nd Byte"+1)のアドレスに書き込まれます。
- ・レジスタR00～R18以外には書き込みしないで下さい。

<シリアルデータ>



□デバイスアドレス設定

端子A0～A5によってシリアルインターフェースのデバイスアドレス8ビットのうち下位6ビットを設定します。上位2ビットは00に固定されています。

(例) 端子A5=Low、A4=Low、A3=Low、A2=Low、A1=Low、A0=Highの場合、デバイスアドレスは、00000001 (01h) に設定されます。

- ・端子A0～A5を全てHighに設定した場合、そのデバイスへのレジスタ書き込みは禁止されます。LEDドライバ出力を使用せず、2線→2線リピーター機能や3線→2線ブリッジ機能のみ使用する場合はA0～A5を全てHighに設定して下さい。
- ・デバイスアドレス00000000 (00h)は、全デバイスに書き込みを行うためのデバイスアドレスですので、基本的には使用しないで下さい。
- ・通常は00000001 (01h)～00111110 (3Eh)の範囲でデバイスアドレスを設定して下さい。



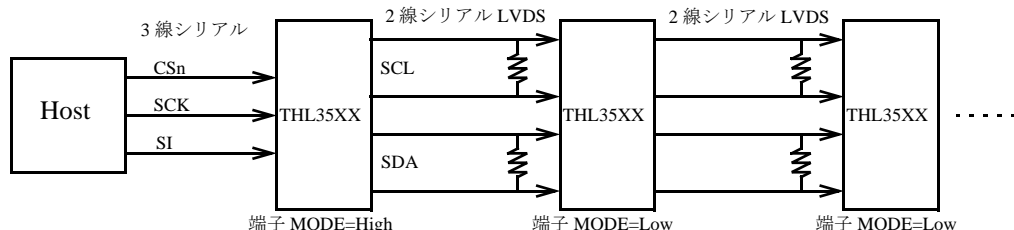
□シリアルインターフェースの接続方法

THL3514(定電流出力 24ch)は、定電圧出力 LED ドライバシリーズと定電流出力 LED ドライバシリーズの通信プロトコルと互換ですので、全てを混在させたマルチドロップ接続とカスケード接続が可能です(複数の LVDS 出力どうしを接続することはできません)。

\*以下、定電圧 LED ドライバシリーズ、定電圧 LED ドライバシリーズをまとめて THL35XX と表記します。

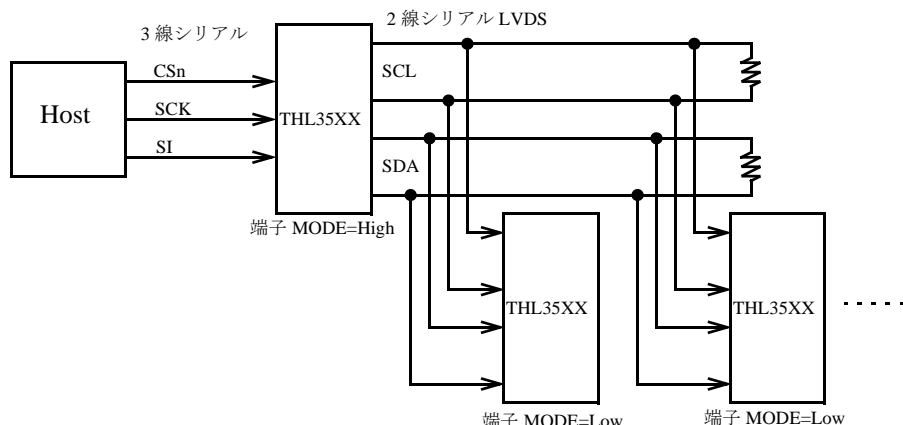
・2線シリアル LVDS によるカスケード接続

ホスト(マイコン、CPU等)が出力する3線シリアルを THL35XX で2線シリアル LVDS に変換し、後段の2線シリアル LVDS 入力に1対1で接続します。カスケード接続可能なデバイス数に関しては、アプリケーションノートを参照して下さい。



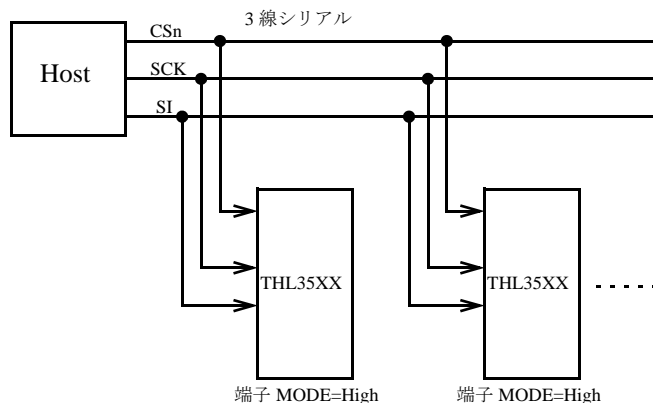
・2線シリアル LVDS によるマルチドロップ接続

ホスト(マイコン、CPU等)が出力する3線シリアルを THL35XX で2線シリアル LVDS に変換し、後段の2線シリアル LVDS 入力に1対複数で接続します。マルチドロップ接続可能なデバイス数に関しては、アプリケーションノートを参照して下さい。



・3線シリアルによるマルチドロップ接続

ホスト(マイコン、CPU等)が出力する3線シリアルを THL35XX に1対複数で接続します。

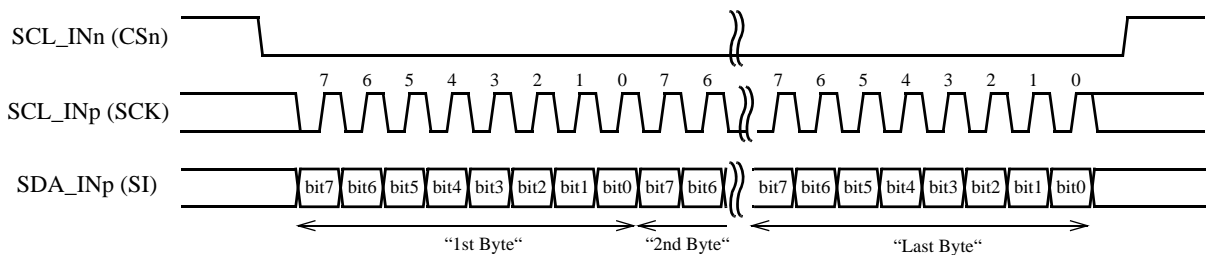


□ 3 線シリアル CMOS レベル入力

端子 MODE=High に設定すると、レジスタ設定用のシリアルインターフェースは 3 線シリアル CMOS レベル入力になります。3 線シリアル CMOS レベル入力のチップセレクト CSn、クロック SCK、データ SI はそれぞれ、端子 SCL\_INn、SCL\_INp、SDA\_INp に入力して下さい (SDA\_INn は Low 固定にして下さい)。

- CSn が Low 期間中のクロック入力 SCK の立ち上がりエッジでデータ入力 SI を取り込みます。
- CSn の立ち下がり後、最初のクロック立ち上がりエッジで取り込んだデータが先頭ビットになります。
- "Last Byte" は Bit0 の後に CSn が立ち上がったときにレジスタに書き込まれます (CSn が立ち上がるまで "Last Byte" の値はレジスタに書き込まれません)。
- Byte の途中で CSn が立ち上がった場合、その Byte はレジスタに書き込まれず、次の CSn の立ち下がりまで通信が最初 ("1st Byte") から開始されます。

< 3 線シリアル CMOS レベル入力 >

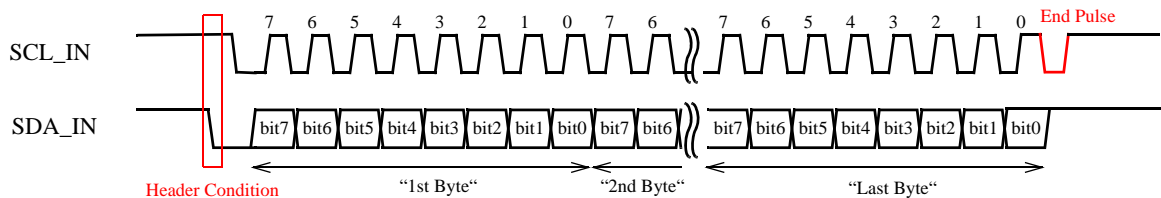


□ 2 線シリアル LVDS 入力

端子 MODE=Low に設定すると、レジスタ設定用のシリアルインターフェースは 2 線シリアル LVDS 入力 (SCL\_INp/SCL\_INn、SDA\_INp/SDA\_INn) になります。

- クロック入力 SCL\_IN の立ち上がりエッジでデータ入力 SDA\_IN を取り込みます。
- クロック入力 SCL\_IN が High のときにデータ入力 SDA\_IN が立ち下がることを "Header Condition" と定義し、"Header Condition" の後、最初のクロック立ち上がりエッジで取り込んだデータが先頭ビットになります。"Header Condition" を除き、データ入力 SDA\_IN はクロック入力 SCL\_IN が Low のときのみ遷移することができます。
- "Last Byte" は Bit0 の後に Active-Low のパルス "End Pulse" を入力することでレジスタに書き込まれます ("End Pulse" の立ち上がりエッジで "Last Byte" の値がレジスタに書き込まれます)。“End Pulse” が立ち上がる時、データ出力 SDA\_OUT は High でなくてはなりません。
- Byte の途中で "Header Condition" を入力した場合、その Byte はレジスタに書き込まれず、最初 ("1st Byte") から通信が開始されます。

< 2 線シリアル LVDS 入力 >



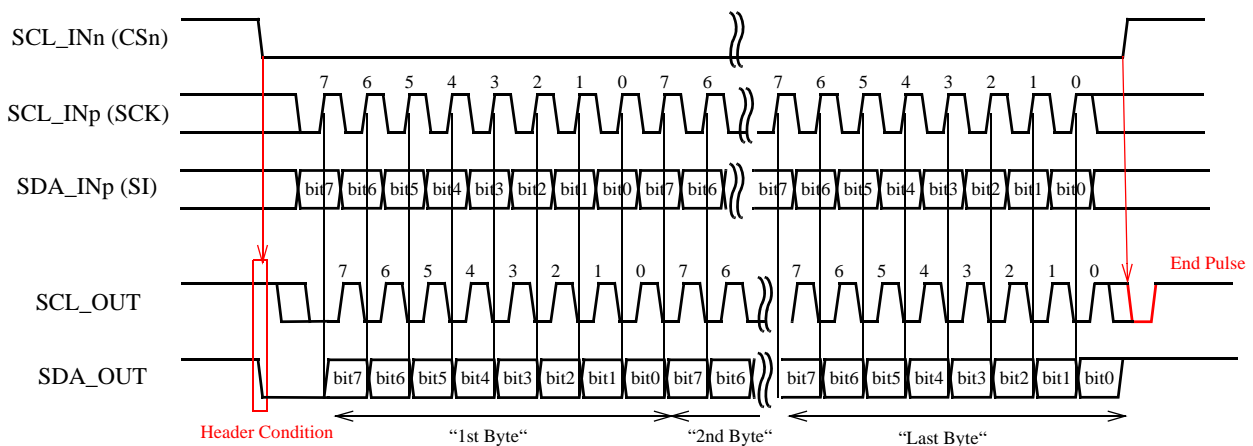
\* 3 線→2 線ブリッジ機能を使用することでホスト (マイコン、CPU 等) が出力する 3 線シリアルを 2 線シリアル LVDS に変換することができます。詳細は「3 線→2 線ブリッジ機能」の項を参照して下さい。

□ 3 線→ 2 線ブリッジ機能

端子 MODE=High に設定すると、レジスタ設定用のシリアルインターフェースは 3 線シリアル CMOS レベル入力 (CSn、SCK、SI) になり、3 線シリアル CMOS レベル入力を 2 線シリアルに変換し LVDS 出力端子に出力します。

- CSn が Low 期間中のクロック入力 SCK の立ち上がりエッジでデータ入力 SI をラッチして出力します。クロック出力 SCL\_OUT とデータ出力 SDA\_OUT には、約 10ns (Typ) のセットアップ時間があります。
- CSn の立ち下がりで、2 線シリアル LVDS 出力に "Header Condition" を生成します。
- CSn の立ち上がりで、クロック出力 SCL\_OUT に Active-Low のパルス "End Pulse" (パルス幅 : Typ.40ns) を付加します。
- CSn が立ち上がるとデータ出力の SDA\_OUT は High になります。これによりデータ出力 SDA\_OUT が High のときに、クロック出力 SCL\_OUT の "End Pulse" が立ち上がります。

< 3 線→ 2 線ブリッジ >

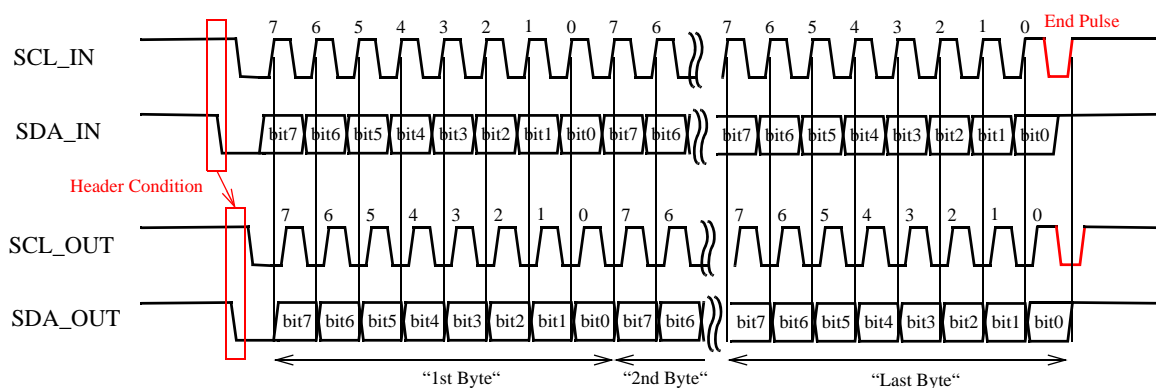


□ 2 線→ 2 線リピーター機能

端子 MODE=Low に設定すると、レジスタ設定用のシリアルインターフェースは 2 線シリアル LVDS 入力 (SCL\_INp/SCL\_INn、SDA\_INp/SDA\_INn) になり、クロックとデータのタイミングを補償して LVDS 出力端子に出力します。

- クロック入力 SCL\_IN の立ち上がりエッジでデータ入力 SDA\_IN をラッチして出力します。クロック出力 SCL\_OUT とデータ出力 SDA\_OUT には、約 10ns (Typ) のセットアップ時間があります。
- "Header Condition" は再生成されて出力されます。

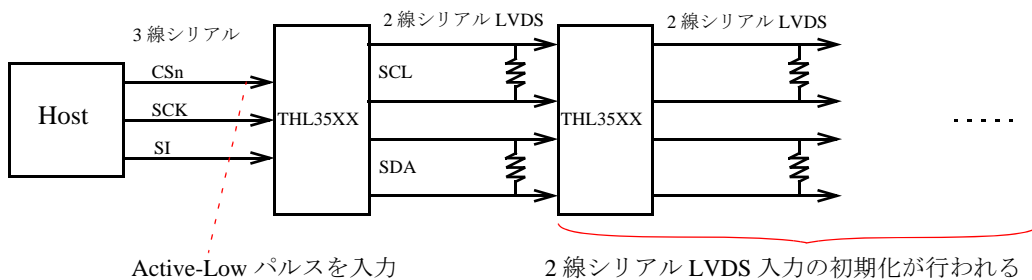
< 2 線→ 2 線リピーター >



□ 2線シリアル LVDS 入力の初期化

2線シリアル LVDS 入力を使用する場合は、電源投入後、レジスタの書き込みを行う前に2線シリアル LVDS 入力の初期化を行って下さい。2線シリアル LVDS 入力の初期化を行わない場合、最初のレジスタ書き込み (“1st Byte” ~ “Last Byte”) が行われな可能性が有ります。全レジスタ (R00-R18) を継続的に上書き (リフレッシュ) する場合など、最初のレジスタ書き込みが行われなくても良い場合には2線シリアル LVDS 入力の初期化は不要です。

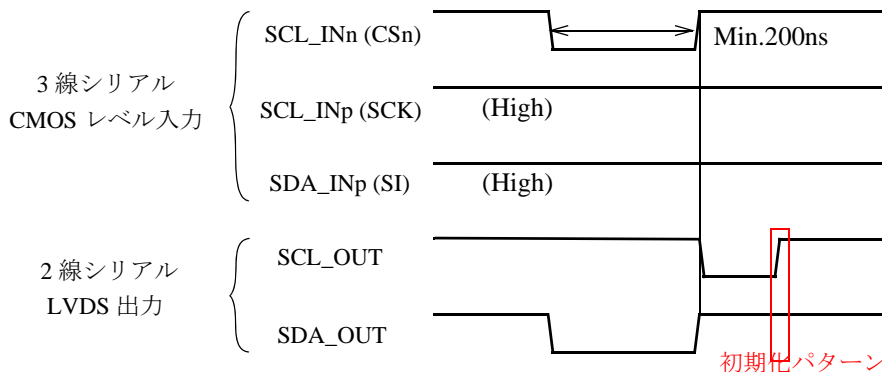
2線シリアル LVDS 入力の初期化を行うには、3線→2線ブリッジを行う初段の3線シリアル CMOS レベル入力で、CSn に Active-Low のパルス (パルス幅 : Min.200ns) を入力することで、後段に接続する全デバイスに対して2線シリアル LVDS 入力の初期化が行われます。カスケード接続を行っている場合、2線シリアル LVDS 入力の初期化完了にはカスケード段数分の伝播遅延時間を要します。



< 2線シリアル LVDS 入力の初期化 >

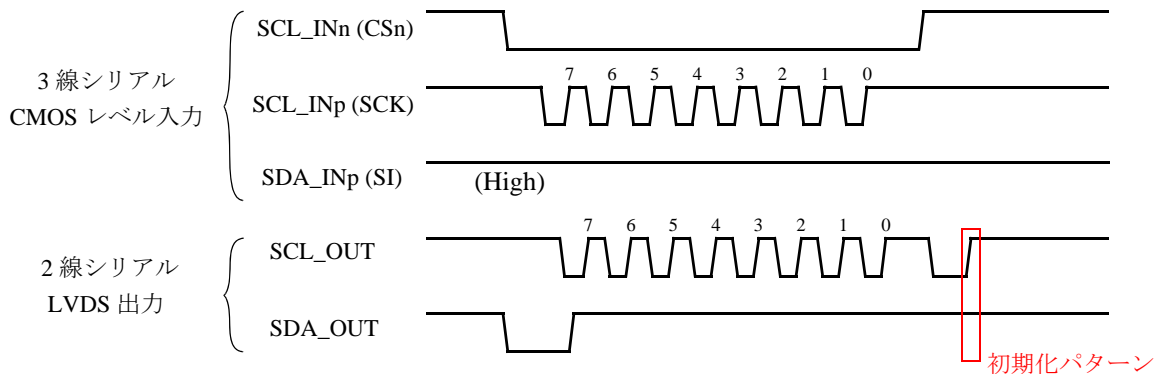
初期化パターン(例1)

CSn に Low-Active のパルスを入力



初期化パターン(例2)

1st Byte (Device Address) = FFh を入力



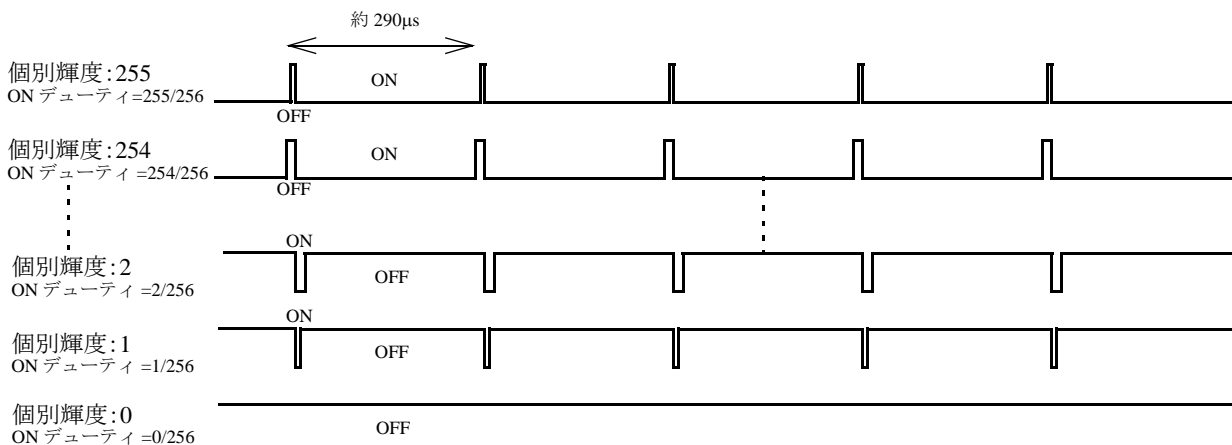
□個別輝度調整

LED の輝度は、LED ドライバ出力チャンネル (OUT0 ~ OUT23) 個別に 256 段階でレジスタ設定 (R01 ~ R18) します。個別輝度調整は PWM 制御でパルスのデューティ比の設定によって行います。定電流出力の ON 期間の割合は、下記の式で表されます。

$$\text{ON 期間の割合} = \text{個別輝度調整レジスタ値} / 256$$

設定値が大きいほど ON 期間の割合が大きく、輝度が高くなります。レジスタ値が 0 の場合、定電流出力は OFF (Hi-Z) 状態を保持し、LED は消灯します。

< 個別輝度調整設定 >

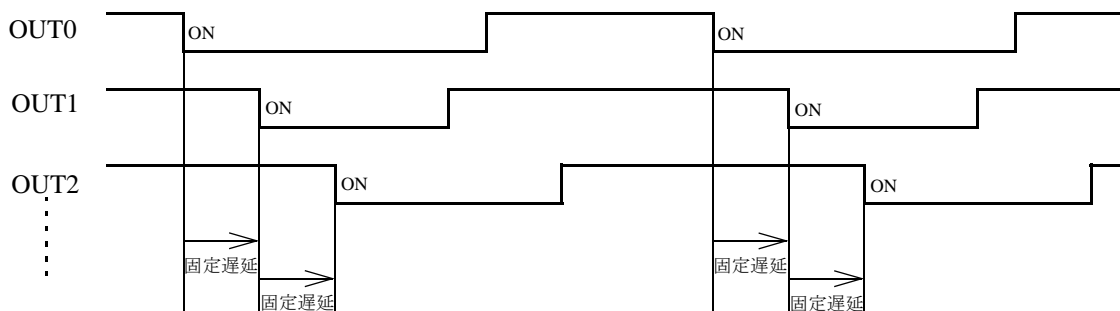


□ PWM 位相制御モード

スイッチングノイズを低減するため、PWM パルスの開始位置を各チャンネル異なる位相で制御します。位相の制御モードは 2 通りからレジスタ設定 (R00[7]) で選択します。個別制御 (R00[7]=0) では、全チャンネル異なる位相で PWM パルスが開始します。グループ制御 (R00[7]=1) では、3 チャンネルのグループごとに異なる位相で PWM パルスが開始します。

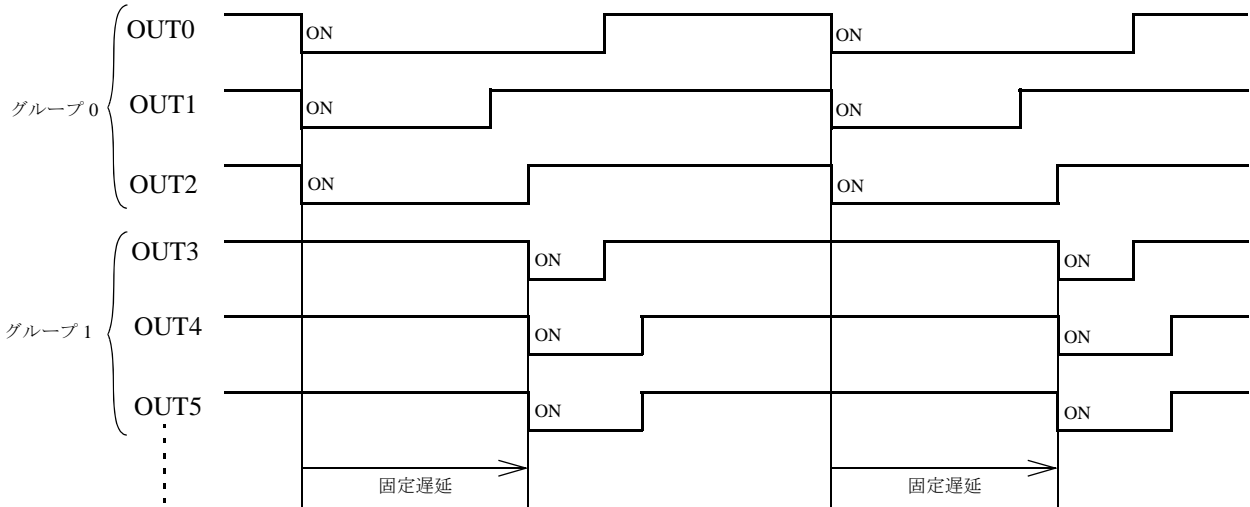
< PWM 位相制御モード設定 >

個別制御 (R00[7]=0)



< PWM 位相制御モード設定 >

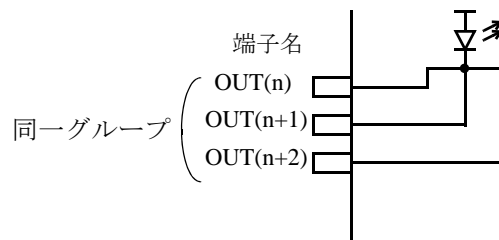
グループ制御 (R00[7]=1)



LED ドライバ出力チャンネルを並列にして LED を駆動する場合は、PWM 位相制御モードをグループ制御 (R00[7]=1) に設定し、同一グループのチャンネルを並列にして LED を駆動して下さい。

< グループ制御のグループ分け >

グループ	出力チャンネル
グループ0	OUT0, OUT1, OUT2
グループ1	OUT3, OUT4, OUT5
グループ2	OUT6, OUT7, OUT8
グループ3	OUT9, OUT10, OUT11
グループ4	OUT12, OUT13, OUT14
グループ5	OUT15, OUT16, OUT17
グループ6	OUT18, OUT19, OUT20
グループ7	OUT21, OUT22, OUT23

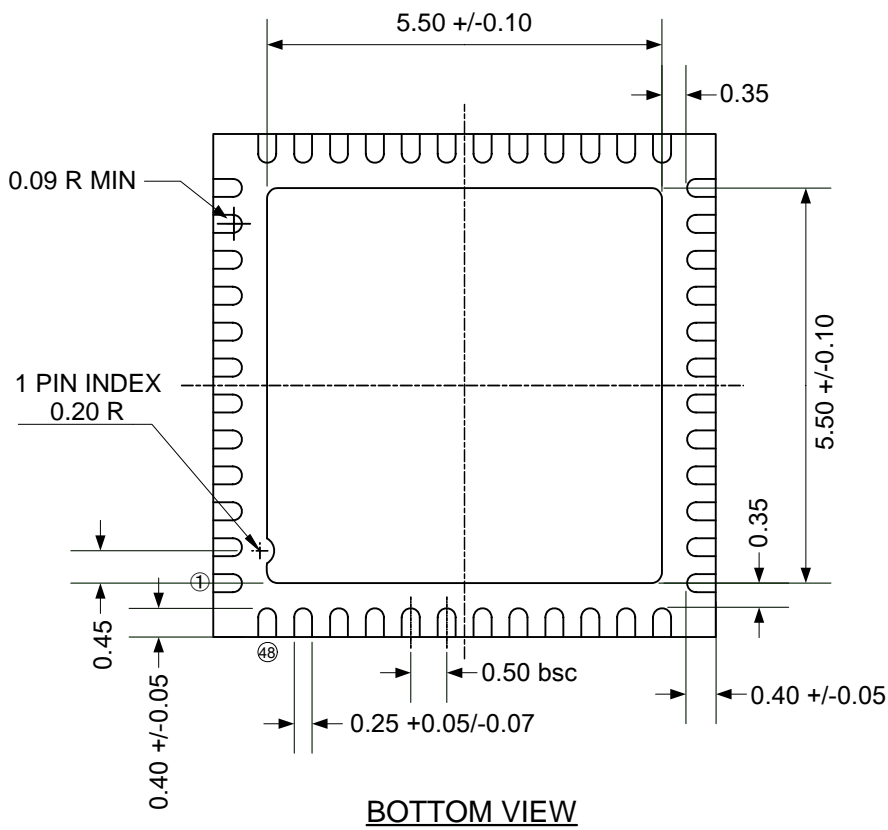
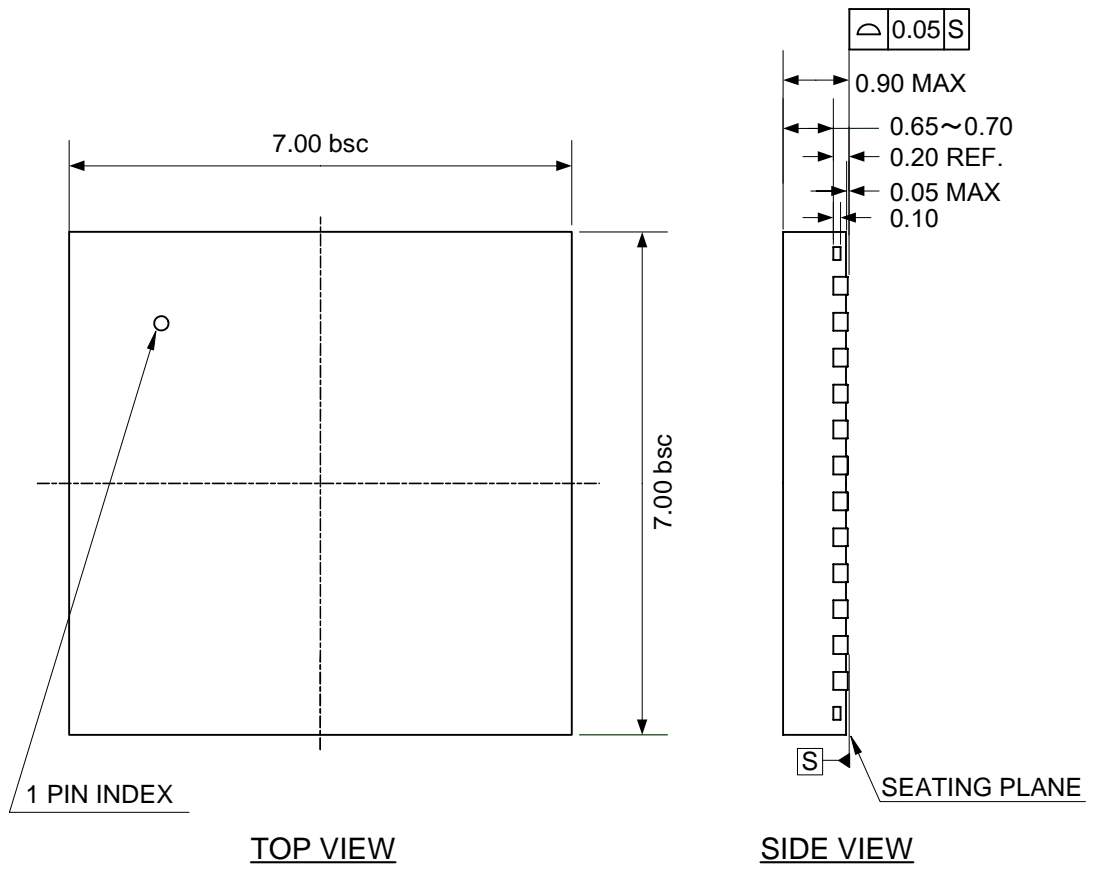


□ LED ドライバ出力イネーブル

レジスタ設定 (R00[6]) により全 LED ドライバ出力チャンネルをディセーブルにすることができます。出力ディセーブル (R00[6]=0) のとき、全 LED ドライバ出力チャンネルは OFF (Hi-Z) 状態になり、LED は消灯します。

■ パッケージ外形寸法図

QFN 48-pin



Unit:mm



## 諸注意とお願い

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。
2. 本資料に記載された回路図は、あくまでも応用例として掲載されております。従って、お客様の設計におかれましては十分な注意をお願い致します。また、文中の誤りにつきましてもその責を負いかねます。誤りが発見されましても、直ちに修正できない場合がございますので、ご了承ください。
3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく、複製、又は第三者に公開しないようお願い申し上げます。
4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承ください。
5. 本製品は一般的な電子機器に使用することを前提としております。従って極めて高い信頼性を要求される用途（人命に直接係る医療機器、宇宙機器、原子力制御機器など）には、使用しないでください。又、これ以外でも輸送機器の制御と安全性に関する装置、交通信号、各種安全装置等にご使用の際には、適切な措置を講じたうえでご使用ください。
6. 弊社は製品の品質及び信頼性の向上について最大限の努力をしておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により、社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等を行ってください。
7. 本製品は、耐放射線設計は行われておりませんので、ご注意願います。
8. 本製品が、外国為替及び外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願い致します。
9. 本製品は端子間が異物の混入等によりショートされた場合、絶対最大定格を超える電圧の印加、または誤作動により半導体製品もしくは周辺部品が破壊する可能性があります。破壊により発煙、発火の恐れがありますので、ヒューズ等、保護部品による安全対策を施すようお願い致します。

**THine Electronics, Inc.**

E-mail: sales@thine.co.jp