

THC7983

8-bit 3-channel Video Signal Digitizer

概要

THC7983 は、アナログビデオ信号をデジタル信号に変換するために必要な機能を1チップに搭載した LSI です。

入力対応信号

PC 出力 (RGB) VGA ~ UXGA

セパレートシンク
コンポジットシンク
シンクオングリーン

コンポーネントビデオ (YPbPr)

SDTV (480i / 480p) 2 値同期信号

HDTV (1080i / 720p / 1080p) 3 値同期信号

コピーガードパルス

アプリケーション

液晶テレビ・プラズマテレビ
リアプロジェクションテレビ
液晶ディスプレイ・プラズマディスプレイ
フロントプロジェクター 等

特長

最高 170MSPS 8-bit ADC

高性能 ADC

オーバーサンプリング (2x ~ 8x)

低ジッタラインロック PLL

フェーズ調整 64 段階

アナログビデオスイッチ 入力 2 系統

高精度クランプ・プリアンプ

ペDESTAL/センター

オフセット自動調整

低ゲインミスマッチプリアンプ

ゲイン調整 2048 段階

ビデオフィルタ

カットオフ周波数 28 段階 (6MHz ~ 310MHz)

シンクプロセッサ

2 値 / 3 値同期スライサ

各種同期信号測定・監視機能

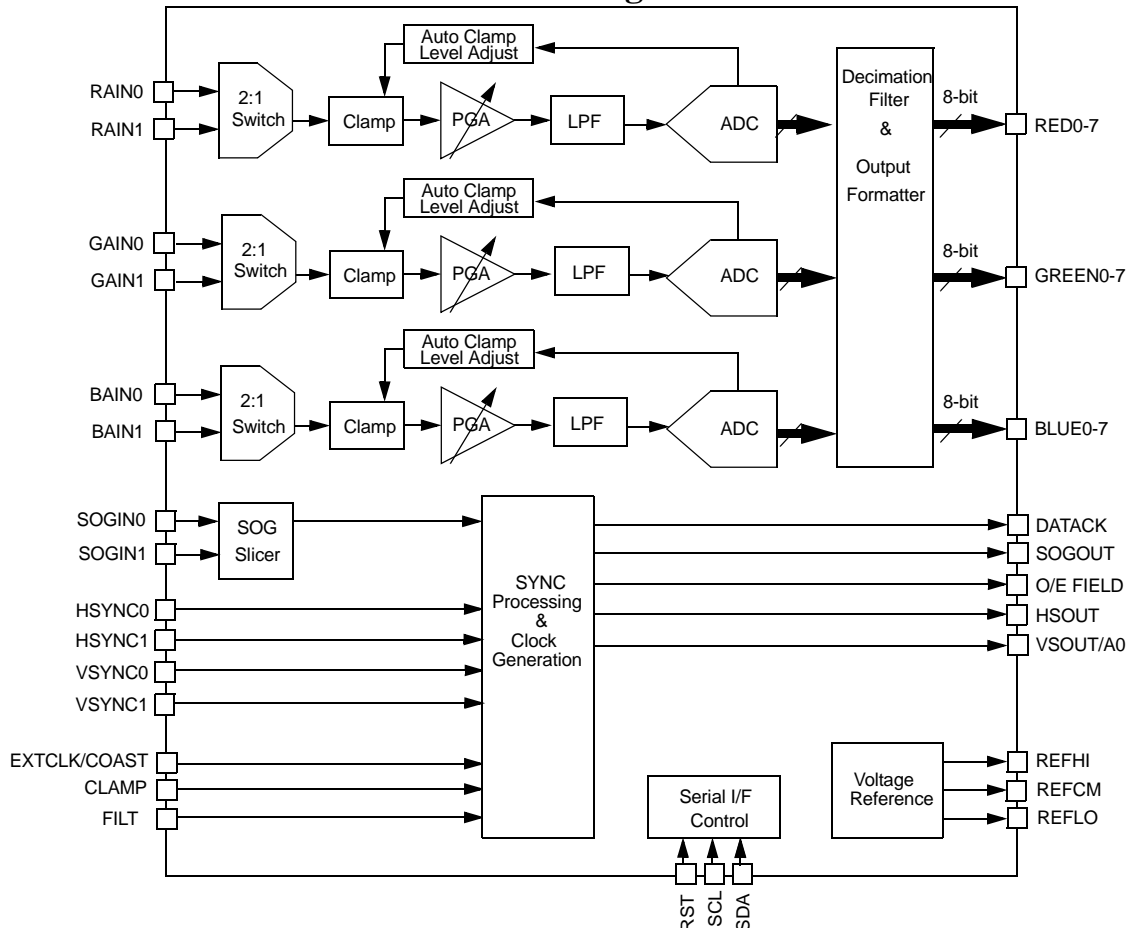
自動設定機能

割り込み要求出力

2 線シリアルインターフェース

TQFP 80-pin パッケージ

Block Diagram



■ 電気的特性

VD=1.8V, VDD=3.3V, PVD=1.8V, DAVDD=1.8V, ADC Clock=Maximum Conversion Rate, Full Temperature Range=0° C to 70° C
Analog Input Voltage=0.5 to 1.0Vpp

Parameter	Temp	Test Level	THC7983-17			Unit		
			Min	Typ	Max			
RESOLUTION	Number of Bits			8		Bits		
	LSB Size			0.39		%FS		
DC ACCURACY	25° C	I		± 0.3	± 0.5	LSB		
		VI			± 0.8	LSB		
	Full	I		± 0.4	± 0.75	LSB		
		VI			± 1.0	LSB		
No Missing Code		25° C	I	Guaranteed				
ANALOG INPUT	Minimum Input Voltage		Full	VI		0.5	V p-p	
	Maximum Input Voltage		Full	VI	1.0		V p-p	
	Gain Tempco		25° C	V		100	ppm/° C	
	Input Bias Current*1		25° C	IV		1	μA	
				IV		1	μA	
	Input Offset Voltage		Full	VI		± 1	LSB	
	Input Full-Scale Matching Between Channels		Full	VI		0.2	0.8	%
Offset Adjustment Range		Full	VI		50	%FS		
SWITCHING PERFORMANCE	Maximum Conversion Rate		Full	VI	170		MSPS	
	Minimum Conversion Rate		Full	IV		10	MSPS	
	Data Setup Time to Clock*2		Full	IV	0.48Tpixel-2.1		ns	
	Data Hold Time to Clock*2		Full	IV	0.48Tpixel-0.4		ns	
	Duty Cycle, DATA*2		Full	IV	40	50	60	%
	HSYNC Input Frequency		Full	IV	15		110	kHz
	Maximum PLL Clock Rate		Full	VI	170			MHz
	Minimum PLL Clock Rate		Full	IV			10	MHz
	PLL Jitter*3		25° C	V		500		ps p-p
	Sampling Phase Tempco		Full	IV		15		ps/° C
2-WIRE SERIAL INTERFACE	SCL Clock Frequency (fSCL)		Full	IV		100	kHz	
	tBUFF		Full	IV	4.7			μs
	tSTAH		Full	IV	4.0			μs
	tDHO		Full	IV	0		3.45	μs
	tDAL		Full	IV	4.7			μs
	tDAH		Full	IV	4.0			μs
	tDSU		Full	IV	250			ns
	tSTASU		Full	IV	4.7			μs
	tSTOSU		Full	IV	4.0			μs
	Tr		Full	IV			1000	ns
	Tf		Full	IV			150	ns
	Capacitive Load (Cb)		Full	IV			400	pF
	Noise margin at the LOW level (VnL)		Full	IV	0.2			V
	Noise margin at the HIGH level (VnH)		Full	IV	0.25			V
DIGITAL INPUTS	Input Voltage, High (VIH)		Full	VI	1.4		V	
	Input Voltage, Low (VIL)		Full	VI		0.8	V	
	Input Current, High (IIH)		Full	V		10	μA	
	Input Current, Low (IIL)		Full	V		10	μA	
	Input Capacitance		25° C	V		2		pF
DIGITAL OUTPUTS	Output Voltage, High (VOH)		Full	VI	VDD-0.2		V	
	Output Voltage, Low (VOL)		Full	VI		0.2	V	
	Output Coding					Binary		
POWER SUPPLY	VD Supply Voltage		Full	IV	1.7	1.8	1.9	V
	VDD Supply Voltage		Full	IV	2.3	3.3	3.45	V
	PVD Supply Voltage		Full	IV	1.7	1.8	1.9	V
	DAVDD Supply Voltage		Full	IV	1.7	1.8	1.9	V
	ID Supply Current (VD)		25° C	V			295	mA
	IDD Supply Current (VDD)*4		25° C	V			150	mA
	IPVD Supply Current (PVD)		25° C	V			30	mA
	IDAVDD Supply Current (DAVDD)		25° C	V			65	mA
	Total Power Dissipation		Full	VI			1250	mW
	Power-Down Supply Current		Full	VI		10	20	mA
Power-Down Dissipation		Full	VI		20	40	mW	
THERMAL CHARACTERISTICS	Operating Ambient Temperature			IV	0		70	° C
	θ JC Junction-to-Case Thermal Resistance		25° C	V		4		° C/W
	θ JA Junction-to-Ambient Thermal Resistance		25° C	V		37		° C/W

*1 Input Bias Voltage: 0.05V to VD-0.05V

*2 See "Data/Clock Output Test Condition".

*3 THC7983-17: UXGA@60Hz

*4 Output Load Capacitance per Pin: 15pF

EXPLANATION OF TEST LEVELS

Test Level

I. 100% production tested.

II. 100% production tested at +25° C and sample tested at specified temperatures.

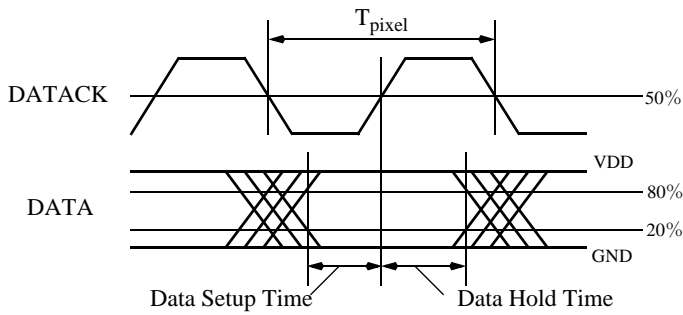
III. Sample tested only.

IV. Parameter is guaranteed by design and characterization testing.

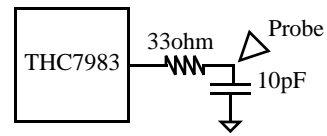
V. Parameter is a typical value only.

VI. 100% production tested at +25° C; guaranteed by design and characterization testing.

< Data Setup/Hold Time to Clock >



< Data /Clock Output Test Condition >



DATAACK: Pixel Clock
 DATAACK Phase: 4
 Output Format: Normal (not DDR)
 Output Drive Strength (VDD=3.3V): Medium

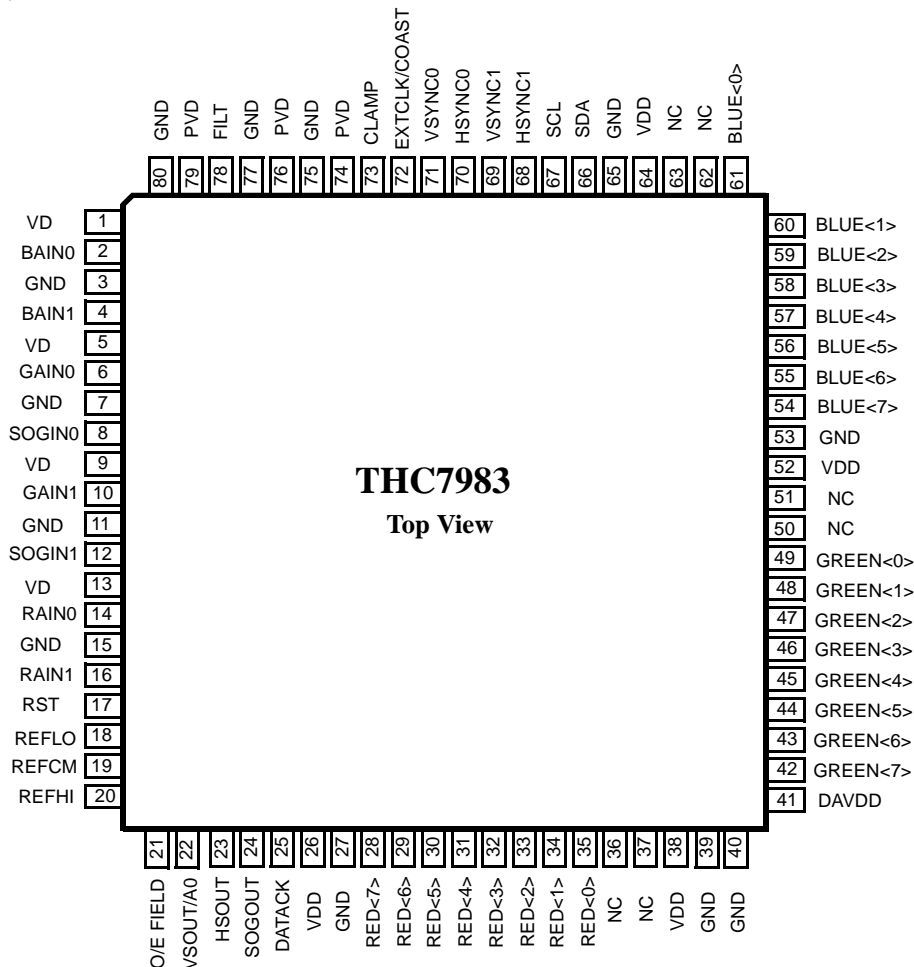
*DATAACK output phase is register programmable.

■絶対最大定格

Parameter	Min	Max	Unit
VD		2.1	V
VDD		3.8	V
PVD		2.1	V
DAVDD		2.1	V
Analog Inputs	-0.2	VD+0.2 or 2.1*1	V
Digital Inputs	-0.3	PVD+3.6 or 5.5V*1	V
Storage Temperature	-55	150	°C
Maximum Junction Temperature		125	°C

*1 Smaller Value is adopted.

■端子配置



■ 端子一覽

Pin Name	Type	Function
VD	P	Analog Power Supply
VDD	P	Output Power Supply
PVD	P	PLL Power Supply
DAVDD	P	Digital Core Power Supply
GND	P	Ground
BAIN0	AI	B-ch Analog Input, Port 0
BAIN1	AI	B-ch Analog Input, Port 1
GAIN0	AI	G-ch Analog Input, Port 0
SOGIN0	AI	Sync on Green Input, Port 0
GAIN1	AI	G-ch Analog Input, Port 1
SOGIN1	AI	Sync on Green Input, Port 1
RAIN0	AI	R-ch Analog Input, Port 0
RAIN1	AI	R-ch Analog Input, Port 1
RST	DI	Reset Input Low: Normal Operation High: Power Down (Stand-by) High -> Low: Chip Reset
REFLO	-	Connection for External Capacitor
REFCM	-	Connection for External Capacitor
REFHI	-	Connection for External Capacitor
O/E FIELD	DO	Field Parity Output for Interlaced Video <Other Function> Data Enable (DE) Output Sync Processor IRQ Output
VSOUT/A0	DIO	VSYNC Output / Serial Interface Device Address bit 0 (A0)
HSOUT	DO	HSYNC Output
SOGOUT	DO	SOG Slicer Output
DATAACK	DO	Data Clock Output
RED<7:0>	DO	R-ch Data Output
GREEN<7:0>	DO	G-ch Data Output
BLUE<7:0>	DO	B-ch Data Output
SCL	DI	Serial Port Data Clock Input
SDA	DIO	Serial Port Data I/O
HSYNC1	DI	HSYNC Input, Port 1
VSYNC1	DI	VSYNC Input, Port 1
HSYNC0	DI	HSYNC Input, Port 0
VSYNC0	DI	VSYNC Input, Port 0
EXTCLK/COAST	DI	External Clock Input / Coast Signal Input
CLAMP	DI	External Clamp Pulse Input <Other Function> Reference Clock Input for HSYNC Period Measure
FILT	-	Connection for PLL Loop Filter

P:Power AI:Analog Input DI:Digital Input DO:Digital Output DIO:Digital Input/Output

■機能概要

□デジタル入力

- すべてのデジタル入力端子は5V トレラントです（ただし、電源が供給されていることが必要です）。

□アナログ入力

- RGB または YPbPr 入力用に3チャンネルの入力システムが2系統あり、レジスタ設定により入力システムを切り替えます。
- YPbPr 入力の場合は、Y を端子 GAIN0 / GAIN1 および SOGIN0 / SOGIN1、Pr を端子 RAIN0 / RAIN1、Pb を端子 BAIN0 / BAIN1 に入力して下さい。
- 0.5Vpp から 1.0Vpp アナログ入力に対応します。

□ビデオフィルタ

- コンポーネントビデオ入力 (YPbPr) 用のアンチエイリアスフィルタとして5次のローパスフィルタを内蔵しており、カットオフ周波数を6～92MHzの範囲において24段階でレジスタ設定可能です。
- PC入力 (RGB) 用のノイズ、グリッチフィルタ用として2次のローパスフィルタを内蔵しており、カットオフ周波数を4段階 (40MHz / 90MHz / 170MHz / 310MHz) でレジスタ設定可能です。

□シリアルインターフェース

- 2線シリアルインターフェースを用いて各種設定、制御を行います。
- SCLは100kHzまで対応します。

□同期信号入力

- セパレートシンク (HSYNC / VSYNC) の入力システムが2系統あり、レジスタ設定により入力システムを切り替えます。
- コンポジットシンク (CSYNC) にも対応可能です。CSYNCは端子 HSYNC0 または HSYNC1 より入力して下さい。

□デジタル出力

- デジタル出力端子は2.5V～3.3Vで動作可能です。
- 出力電流強度は4段階で切り替え可能です (SDAを除く)。

□クランプ

- RGB、Y (輝度信号) 用にペダスタルクランプが可能であり、オフセットキャンセルにより0レベルにクランプされます。
- PrPb用にセンタークランプが可能であり、オフセットキャンセルにより128レベルにクランプされます。
- シンクオンビデオ (Y信号) のシンク部分を含めてA/D変換するために、「64レベルクランプ」が可能です。この場合は、ADCのフルスケール (最大1Vpp) の範囲内に収めるためにアナログ信号を抵抗分圧等でアッテネートすることが必要です。
- クランプパルスは外部 (端子 CLAMP/REFCLK) より入力することが可能です。

□ゲイン/オフセット調整

- ゲイン設定は各チャンネル独立に2048段階で設定可能です。
- 出力コードに-64LSB～+63LSBのオフセットを与えることが可能です。
- ゲインとオフセットは独立に調整が可能です。

□リファレンス電圧

- バンドギャップリファレンス回路を内蔵しており、外部よりリファレンス電圧を与える必要はありません。
- 内部で生成した電圧を安定させるために、端子 REFHI / REFCM / REFLO にはデカップリング容量を接続する必要があります。

□ サンプルングクロック生成

- ・入力された同期信号からサンプルングクロック生成を行うために PLL を内蔵しており、10MHz ~ 170MHz のサンプルングクロックが生成可能です。
- ・通倍率（水平総ピクセル数）は 200 ~ 8191 まで設定可能です。
- ・サンプルングクロックは T/64 単位で 64 段階シフトさせることが可能です。
- ・サンプルングクロックを外部入力することも可能です。
- ・入力信号のフォーマット（解像度）に応じて、VCO とチャージポンプ電流の設定を行う必要があります。

□ オーバーサンプリング

- ・コンポーネントビデオ入力 (YPbPr) 用にオーバーサンプリングが可能です。ピクセルレート以上のサンプルングクロックを用いて A/D 変換を行い、デジタルフィルタ（デシメーションフィルタ）でダウンサンプリングすることで、S/N 比を向上させることが可能です。
- ・オーバーサンプリングの倍率は 4 段階（なし / 2x / 4x / 8x）で切り替え可能です（倍率を切り替えても出力クロック周波数、出力データレートは変化しません）。

□ クロック出力 (DATAACK)

- ・出力データのセットアップ / ホールド調整用に、8 段階の位相シフトが可能です。
- ・2 分周クロックが出力可能ですので、後段においてデュアルエッジを用いたデータ取り込みが可能です（オーバーサンプリング設定時は利用できません）。

□ SOG スライサ

- ・シンクオングリーン信号 (SOG) は、シンクチップを基準にレジスタ設定されるスライスレベルで同期信号を切り出します。スライスレベルは 15mV ~ 240mV の範囲において 15mV ステップでレジスタ設定可能です。
- ・スライサの前段にローパスフィルタを内蔵しておりますので、ノイズによる誤動作を防止することが可能です。ローパスフィルタはレジスタ設定で ON / OFF 切り替え可能です。
- ・スライサには約 30mV のヒステリシスがついておりますので、ノイズによる誤動作を防止することが可能です。ヒステリシスはレジスタ設定で ON / OFF 切り替え可能です。
- ・3 値同期信号にも対応しており、ペDESTAL レベルで同期信号を切り出すことが可能です。

□ シンクプロセッサ

シンクプロセッサでは、垂直同期分離、垂直タイミングの生成、同期信号の測定を行います。また、同期信号の測定機能を利用した自動設定機能が利用可能です。コピーガード信号にも対応可能です。

(1) 垂直同期分離

コンポジットシンク (CSYNC) やシンクオングリーン信号 (SOG) から、VSYNC を分離します。

(2) 垂直タイミングの生成

- ・出力 VSYNC の生成
- ・PLL COAST 信号の生成
- ・クランプ COAST 信号の生成
- ・DE 抑制期間の生成

(3) 同期信号の測定

- ・入力シンクタイプ判定（セパレートシンク / コンポジットシンク / シンクオングリーン / 無入力）
- ・入力 HSYNC / 入力 VSYNC 極性判定
- ・3 値同期判定
- ・インターレース検出
- ・垂直総ライン数測定
- ・入力 VSYNC パルス幅測定
- ・水平周期測定（端子 CLAMP にリファレンスクロックを入力することが必要）
- ・入力同期信号変化監視
- ・入力 HSYNC 遷移監視
- ・シンクプロセッサによる割り込み要求出力

(4) 自動設定機能 (マニュアル設定に切り替えることも可能)

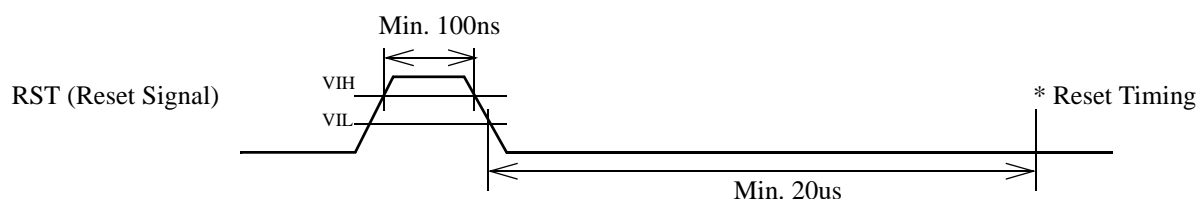
- ・自動出力イネーブル (信号入力時に出力イネーブルにする)
- ・入力ポート自動設定 (信号入力活性のポートを選択)
- ・同期信号形式自動設定 (HSYNC / VSYNC 入力端子の選択)
- ・入力 HSYNC / 入力 VSYNC 極性自動設定
- ・出力 HSYNC / 出力 VSYNC 極性自動設定
- ・出力 VSYNC タイミング自動設定
- ・PLL COAST タイミング自動設定

□パワー制御

- ・レジスタ、または端子 RST の制御によりスタンバイ状態に設定することが可能です。
- ・スタンバイ状態ではアナログ回路のほとんどの部分がパワーダウンしますので、消費電力を低減することができます。
- ・スタンバイ状態においても、SOG スライサやシンクプロセッサ、シリアルインターフェース等は動作しますので、信号の監視や測定などを行うことが可能です。
- ・端子 RST に High を入力するとスタンバイ状態になります。この端子を使用しない場合には抵抗でプルダウンして下さい。

□リセット

- ・端子 RST が Low の状態で電源投入した場合にはパワーオンリセットがかかります。
- ・端子 RST を制御することでリセットをかけることも可能です。端子 RST を High から Low にトグルさせたときにリセットがかかります (マニュアルリセット)。すなわち、端子 RST によるスタンバイ状態を解除するときには必ずリセットがかかります。
- ・電源投入後、シリアルインターフェースにアクセスする前に、必ずリセットがかかっていることが必要です。端子 RST が Low の状態で電源投入してパワーオンリセットをかけるか、電源投入後に端子 RST を High から Low にトグルさせてマニュアルリセットをかけて下さい。この端子を使用しない場合には抵抗でプルダウンして下さい。
- ・リセット時には、レジスタには初期値が書き込まれます。これにより、リセット後には、出力ディセーブル (Hi-Z)、デバイスはスタンバイモードになります。通常動作をする場合は、シリアルインターフェースを用いて、出力イネーブル、パワーオンにレジスタ設定する必要があります。
- ・マニュアルリセットをかける場合には、端子 RST を High から Low にトグルさせた後、20us 以上 Low を保持して下さい。



□デバイスアドレス

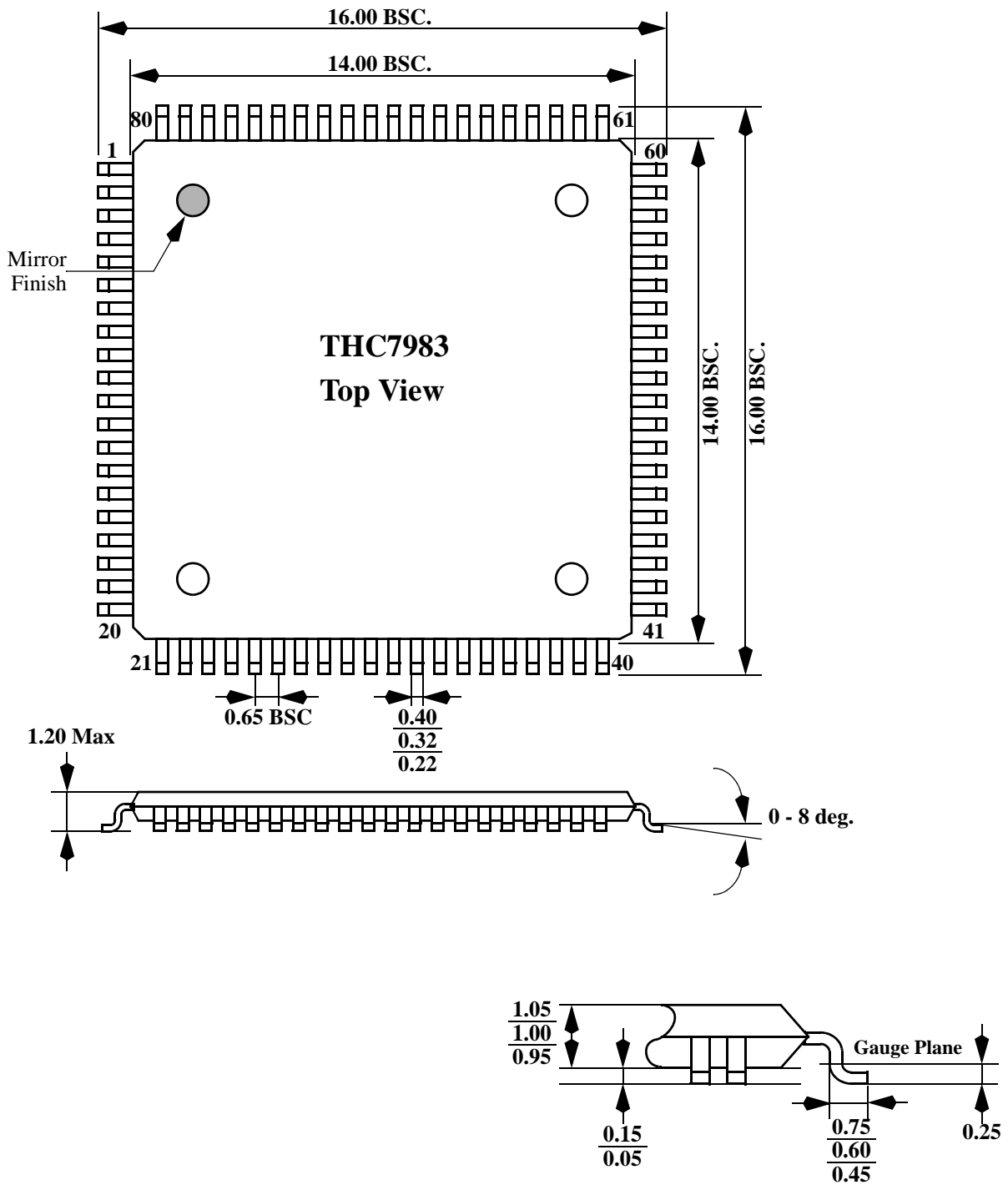
- ・2 線シリアルインターフェースのデバイスアドレス 7 ビットのうち下位 1 ビットは、リセット時に端子 VSOUT/A0 から取得されます。

端子 VSOUT を抵抗 (10k Ω) でプルダウン : デバイスアドレスは 1001100 になります。

端子 VSOUT を抵抗 (10k Ω) でプルアップ : デバイスアドレスは 1001101 になります。

- ・プルアップの場合は抵抗を VDD に接続して下さい。

■ パッケージ寸法 (単位 : mm)



■諸注意とお願い

1. 本資料に記載された製品の仕様は、予告無く変更する場合がございます。
2. 本資料に記載された回路図は、あくまでも応用例として記載されております。従って、お客様の設計に置かれましては十分な注意をお願いいたします。また、文中の誤りにつきましてはその責を負いかねます。誤りが発見されましても直ちに修正できない場合がございますので、ご了承下さい。
3. 本資料には、弊社の著作権、ノウハウ等が含まれておりますので弊社にことわりなく複製または第三者に公開しないようお願い申し上げます。
4. この製品を使用したことにより、第三者の工業所有権に係る問題が発生した場合、弊社製品の構造製法及び機能に直接係る物以外につきましては、その責を負いかねますのでご了承下さい。
5. 本製品は、一般的な電子機器に使用されることを前提としております。従って、極めて高い信頼性を要求される用途（人命に直接関わる医療機器、宇宙機器、原子力制御機器など）には、使用しないで下さい。また、これ以外でも輸送機器の制御と安全性に関する装置、交通信号、各種安全装置等にご使用の際は、適切な措置を講じたうえでご使用下さい。
6. 弊社は、製品の品質および信頼性の向上について最大限の努力をしておりますが、半導体製品はわずかながらある確率をもって故障が発生いたします。弊社製品の故障により社会的、公的な損害等を引き起こすことの無いように、十分な冗長設計、誤動作防止設計等をおこなって下さい。
7. 本製品は、耐放射線設計は行われておりませんのでご注意をお願いします。
8. 本製品が、外国為替および外国貿易管理法の規定により戦略物資等に該当するか否かは、お客様におかれまして判断をお願いいたします。



問い合わせ先
ザインエレクトロニクス株式会社
E-mail : sales@thine.co.jp